

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-051625

(43)Date of publication of application : 20.02.1996

(51)Int.Cl.

H04N 7/30

G06T 9/00

H03M 7/30

H03M 7/40

(21)Application number : 06-184816

(71)Applicant : HITACHI LTD

(22)Date of filing : 05.08.1994

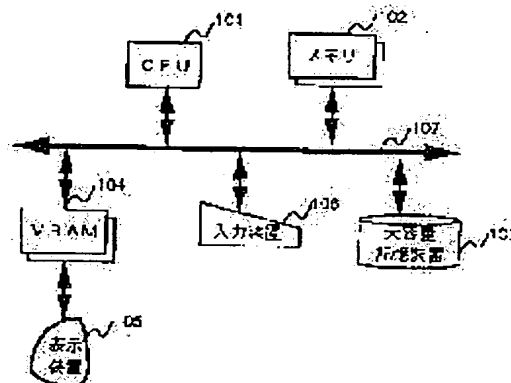
(72)Inventor : KUROKAWA YASUTAKE
NISHIOKA KIYOKAZU
TERADA KOICHI

(54) MOVING PICTURE REPRODUCING DEVICE

(57)Abstract:

PURPOSE: To reproduce moving pictures without frame omission by utilizing reproducing processing performance and test data and appropriately changing the number of AC coefficients to be reproduced.

CONSTITUTION: A desired frame rate is set through an input device 106 and compression processing pictures stored in a large capacity storage device 103 are reproduced by using the frame rate. In this case, the frame rate and predetermined parameters which are performance parameters for indicating the processing performance of this device including the operation frequency of a CPU 101 are used and the number of the AC coefficients determined corresponding to a predetermined rule is decided. Then, the decided number of the AC coefficients is referred to and an inverse discrete cosine transformation (IDCT) processing means determines the element of a discrete cosine transformation (DCT) coefficient to be the object of an IDCT processing. Finally, the DCT coefficient whose element is determined is used, the predetermined rule used for encoding is referred to and picture data are decoded.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-51625

(43) 公開日 平成8年(1996)2月20日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 7/30				
G 0 6 T 9/00				
H 0 3 M 7/30	A	9382-5K		

H 0 4 N 7/ 133 Z

G 0 6 F 15/ 66 3 3 0 D

審査請求 未請求 請求項の数7 O L (全 34 頁) 最終頁に続く

(21) 出願番号 特願平6-184816

(22) 出願日 平成6年(1994)8月5日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 黒川 能毅

神奈川県川崎市麻生区王禅寺1099 株式会社日立製作所システム開発研究所内

(72) 発明者 西岡 清和

神奈川県川崎市麻生区王禅寺1099 株式会社日立製作所システム開発研究所内

(72) 発明者 寺田 光一

神奈川県川崎市麻生区王禅寺1099 株式会社日立製作所システム開発研究所内

(74) 代理人 弁理士 富田 和子

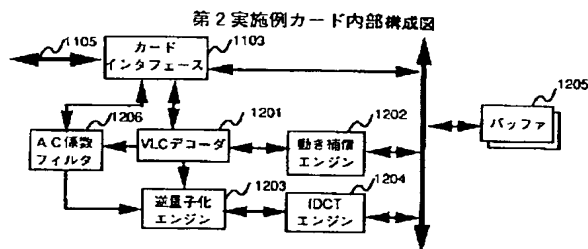
(54) 【発明の名称】 動画再生装置

(57) 【要約】

【目的】 希望するフレームレートが設定されたとき、A C係数の個数を適宜変更、設定して、こま落ちのない動画再生を行える手段を提供すること。

【構成】 V L C のデコード手段と、逆量子化手段と、I D C T 処理手段と、動き補償処理手段と、フレームレートを入力する入力手段と、復号画像を表示する表示手段と、D C T 係数のうち、直流分を表すD C 係数を除く、0以外の値である、A C 係数の数を定める処理手段を少なくとも備える。そして、処理手段は、フレームレート、および、性能パラメータを使用し、予め定めた規則に従ってA C 係数の数を決定して、所定のA C 係数のみによる画像復号を行う。

図12



【特許請求の範囲】

【請求項1】CPUおよびメモリを少なくとも有し、予め定められている規則にしたがって符号化された画像データを、復号する装置であって、

符号化された画像データであるVLC (Variable Length Code) が与えられると、これを、量子化されたDCT

(Discrete Cosine Transform: 離散余弦変換) 係数と

するデコード手段と、量子化されたDCT係数の各要素

に、所定の値を乗じ、DCT係数を求める逆量子化手段

と、求められたDCT係数をIDCT (Inversion Discrete Cosine Transform: 逆離散余弦変換) 処理し、復

号された画像データを求めるIDCT処理手段と、前記

VLCに、動き補償をすべき旨のデータおよび動きベク

トルが含まれているときに、あるフレームにおける複数

画素のデータを、前記動きベクトルを参照して移動させ

た場所に位置するように、次フレームの画像データを生

成する動き補償処理手段と、画像データを復号する際の

フレームレートを少なくとも入力する入力手段と、復号

された画像データを少なくとも表示する表示手段と、D

CT係数のうち、直流分を表すDC係数を除く、0以外

の値である、AC係数の数を定める処理手段を備え、

該処理手段は、前記入力手段を介して入力されたフレ

ームレート、および、予め定められているパラメータであ

って、前記CPUの動作周波数を含む自装置の処理性能

を示す性能パラメータを使用し、予め定めた規則に従っ

てAC係数の数を決定し、決定したAC係数の数を参照し

て、前記IDCT処理手段がIDCT処理の対象とする

DCT係数の要素を定め、要素が定められたDCT係

数を用い、前記符号化に使用した予め定められている規

則を参照して、画像データを復号することを特徴とする

動画再生装置。

【請求項2】請求項1において、AC係数の数を定める

ための前記予め定めた規則は、前記性能パラメータの値

を、前記入力されたフレームレートの値で除した値を、

AC係数の数とすることを特徴とする動画再生装置。

【請求項3】請求項2において、前記性能パラメータの

値は、前記CPUの動作周波数、CPUの種類に応じて定

めている係数、描画アクセラレータに対して定めている

係数であることを特徴とする動画再生装置。

【請求項4】CPUおよびメモリを少なくとも有し、予

め定められている規則にしたがって符号化された画像デ

ータを、着脱可能なカードを接続した状態で、復号する

装置であって、

装置側は、カードとの間で必要なデータを送受する第1

インターフェイスと、画像データを復号する際のフレ

ームレートを少なくとも入力する入力手段と、前記第1イ

ンターフェイスを介して得られた、復号された画像デー

タを少なくとも表示する表示手段とを備え、

前記カードは、装置側との間で必要なデータを送受する

第2インターフェイスと、符号化された画像データであ

るVLC (Variable Length Code) が与えられると、こ

れを、量子化されたDCT (Discrete Cosine Transform: 離散余弦変換) 係数とするデコード手段と、量子化

されたDCT係数の各要素に、所定の値を乗じ、DCT

係数を求める逆量子化手段と、求められたDCT係数を

IDCT (Inversion Discrete Cosine Transform: 逆

離散余弦変換) 処理し、復号された画像データを求める

IDCT処理手段と、前記VLCに、動き補償をすべき

旨のデータおよび動きベクトルが含まれているときに、

あるフレームにおける複数画素のデータを、前記動きベ

クトルを参照して移動させた場所に位置するように、次

フレームの画像データを生成する動き補償処理手段と、

DCT係数のうち、直流分を表すDC係数を除く、0以

外の値である、AC係数の数を定める処理手段とを備

え、

該処理手段は、前記入力手段によって入力されたフレ

ームレート、および、前記第2インターフェイスを介して

受け取り、予め定められているパラメータであって、前

記CPUの動作周波数を含む、自装置の処理性能を示す

性能パラメータとを使用し、予め定めた規則に従ってA

C係数の数を決定し、決定したAC係数の数を参照し

て、前記IDCT処理手段がIDCT処理の対象とする

DCT係数の要素を定め、要素が定められたDCT係数

を用い、前記符号化に使用した予め定められている規則

を参照して、画像データを復号し、前記第2インターフ

ェイスを介して、前記表示手段に与えることを特徴とす

る動画再生装置。

【請求項5】CPUおよびメモリを少なくとも有し、予

め定められている規則にしたがって符号化された画像デ

ータを、復号する装置であって、

符号化された画像データであるVLC (Variable Length Code) が与えられると、これを、量子化されたDCT

(Discrete Cosine Transform: 離散余弦変換) 係数と

するデコード手段と、量子化されたDCT係数の各要素

に、所定の値を乗じ、DCT係数を求める逆量子化手段

と、求められたDCT係数をIDCT (Inversion Discrete Cosine Transform: 逆離散余弦変換) 処理し、復

号された画像データを求めるIDCT処理手段と、前記

VLCに、動き補償をすべき旨のデータおよび動きベク

トルが含まれているときに、あるフレームにおける複数

画素のデータを、前記動きベクトルを参照して移動させ

た場所に位置するように、次フレームの画像データを生

成する動き補償処理手段と、画像データを復号する際の

フレームレート (Fr) を少なくとも入力する入力手段

と、復号された画像データを少なくとも表示する表示手

段と、DCT係数のうち、直流分を表すDC係数を除

く、0以外の値である、AC係数の数を定める処理手段

と、AC係数の数を定めるための、所定フレーム数

(F) 分のテストデータを格納する記憶手段と、テスト

データをデコード手段に与えたとき、前記IDCT処理

手段による前記テストデータの再生時間(Td)を計測するIDCT再生時間計測手段と、テストデータをデコード手段に与えてから、逆量子化手段およびIDCT処理手段によって、画像再生する処理を完了するまでの時間(Ts)を計測するテストデータ再生時間計測手段と、テストデータを順次デコード手段に与えたとき、逆量子化手段およびIDCT処理手段により求めるDCT係数からAC係数の数を求めていき、その平均値(Aa)を求めるテストデータAC係数平均手段を備え、前記処理手段は、前記フレームレート(Fr)、所定フレーム数(F)、時間(Ts)、再生時間(Td)、および平均値(Aa)を使用し、予め定めた規則に従ってAC係数の数を決定し、決定したAC係数の数を参照して、前記IDCT処理手段がIDCT処理の対象とするDCT係数の要素を定め、要素が定められたDCT係数を用い、前記符号化に使用した予め定められている規則を参照して、画像データを復号することを特徴とする動画再生装置。

【請求項6】請求項5において、AC係数の数を定めるための前記予め定めた規則は、AC係数の数(A)を、 $A = [Aa \times (1 - (Ts - Fr \times F) / Td)]$ ([] は、ガウス記号) とすることを特徴とする動画再生装置。

【請求項7】CPUおよびメモリを少なくとも有し、予め定められている規則にしたがって符号化された画像データを、復号する装置であって、

符号化された画像データであるVLC(Variable Length Code)が与えられると、これを、量子化されたDCT(Discrete Cosine Transform: 離散余弦変換)係数とするデコード手段と、量子化されたDCT係数の各要素に、所定の値を乗じ、DCT係数を求める逆量子化手段と、求められたDCT係数をIDCT(Inverse Discrete Cosine Transform: 逆離散余弦変換)処理し、復号された画像データを求めるIDCT処理手段と、前記VLCに、動き補償をすべき旨のデータおよび動きベクトルが含まれているときに、あるフレームにおける複数画素のデータを、前記動きベクトルを参照して移動させた場所に位置するように、次フレームの画像データを生成する動き補償処理手段と、画像データを復号する際のフレームレートを受け付ける入力部と、復号された画像データを出力する出力部と、DCT係数のうち、直流分を表すDC係数を除く、0以外の値である、AC係数の数を定める処理手段を備え、

該処理手段は、入力部を介して入力されたフレームレート、および、予め定められているパラメータであって、前記CPUの動作周波数を含む自装置の処理性能を示す性能パラメータを使用し、予め定めた規則に従ってAC係数の数を決定し、決定したAC係数の数を参照して、前記IDCT処理手段がIDCT処理の対象とするDCT係数の要素を定め、要素が定められたDCT係数を用

い、前記符号化に使用した予め定められている規則を参照して、画像データを復号することを特徴とする動画再生装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、デジタル動画再生処理装置の性能の向上、特に、再生処理能力不足に対応した装置を提供する技術に関する。

【0002】

【従来の技術】デジタルの動画画像データをそのままの状態記憶しておくには、そのデータ量は、膨大な量となるため、デジタルの動画画像データを記録しておくためには、高速でアクセスが可能で、かつ、大容量の記憶容量を有する記憶装置が必要となり、このような記憶装置を備えたシステムを構築するには、システムの大きさや、製造コストの向上等の各種各様の問題が存在している。

【0003】そこで、動画データの圧縮処理が必要となり、現在、デジタル動画の記憶、転送を含む各種の処理を行うために、いわゆる画像情報圧縮を行っている。

【0004】この中で、蓄積型のデジタル動画データ標準規格として、MPEG(Motion Picture Image Coding Experts Group)と称される規格が最も良く知られている。

【0005】このMPEGなる規格においては、自然動画の画像情報が有する特性を利用して、データの圧縮処理を行っている。

【0006】この圧縮処理および再生処理の流れを、図37から40を参照して説明する。

【0007】図37は、原画像がエンコードされ大容量記憶装置に記憶される処理と、大容量記憶装置に記憶されている、原画像のエンコードデータを復号画像とする、デコード処理の流れについて、大別して示している。なお、同一符号を付した部分は、同一の処理を行うことを意味する。

【0008】まず、自然画の特性として、隣接した画素間で、値の変化が小さい(画像信号の高周波成分が小さい)という特性がある。これは、自然界に存在する物が瞬間的に移動する距離は、それほど長い距離ではなく、自然界に存在する物の動きの情報、すなわち、自然画の情報は、連続的なものとなるという特性に由来する。

【0009】したがって、離散コサイン変換(以下、DCT(Discrete Cosine Transform)と称す: 図37、300参照)を利用して、「8画素×8画素」(垂直8画素、水平8画素の合計64画素)のデータ(図38(a)参照)を、周波数スペクトルに変換する。この変換処理されたデータを、DCTデータと称する(図38b参照)。

【0010】この変換処理は、いわゆる直交変換であるので、データ量は変化しない。しかしながら、自然画の特性から、比較的、低周波領域のデータが大きくなり、

一方、高周波領域ではデータは、小さくなり、無視できる程度の値、すなわち、DCTデータの値を「0」として扱えるレベルのデータとなる。

【0011】さらに、図37、302に示すように、DCTデータを、量子化することによって、実際に「0」となるデータを増加させ、圧縮処理を行う。図38

(c)に、DCTデータを量子化したデータを示す。なお、量子化は、DCTデータのパターンに対して、予め定めている量子化のための定数を記憶している、量子化テーブルの内容を参照して行われる。

【0012】また、自然画の特性として、ある時刻における1枚の画像情報（これを「フレーム」と称する）と、前記ある時刻の、前後の時刻におけるフレームは、似ている（すなわち、画像情報が変化した部分は少ない）ので、この関係を利用して、圧縮処理を行う。なお、このような処理を、動き補償処理と称する（図37、304参照）。

【0013】「16画素×16画素」のかたまりで、1つのブロックを構成し、このブロックごとに、前記、前および後のフレーム中の、画像データと比較を行い、マッチングする箇所が存在する場合、その箇所のフレーム間での相対座標を、圧縮データとする。この様子を、図39に示す。

【0014】すなわち、1ブロックの左上角の座標データが、図に示すように座標系を設定して、参照する画面では、(X1, Y1)となっているが、現在の画面では、(X2, Y2)となっており、1ブロックが移動したことを示している。したがって、このことを利用するため、座標の差分、すなわち、動きベクトルデータ(X2-X1, Y2-Y1)だけ、いわゆるVLC (Variable Length Code) 変換することにより、一層の圧縮処理が行われる。

【0015】この2つの方法（図37に示すように、1つは、動き補償を行う方法、他の1つは、DCT、量子化処理を行う方法）で圧縮したデータは、さらに圧縮するために、エントロピー符号化（ハフマン符号化）して、VLC (Variable Length Code) とする（図37、303、図38(d)、図39等参照）。VLCへの変換処理は、デジタルデータの並びパターンに対する変換コードを予め定めている、VLC変換テーブルの内容を参照して行われる。

【0016】そして、同じ場所のデータを圧縮した、2つのデータのサイズを比較して、データサイズの小さい方を、圧縮データとして記録する（図37、305参照）。

【0017】これを再生、すなわち、デコードするための処理の大まかな流れが、図37および図40に示されている。特に、図40に詳しく示している。

【0018】まず、大容量記憶装置に記録されている、1ブロックに対するVLCデータ（デジタル信号の信号

列）を取り出し、VLCをデコードする（図37、デコード内の、VLC308参照）。

【0019】そして、このデコードの対象となるブロックが、DCTデータであるのか、動き補償データであるかを判定する。

【0020】動き補償データであれば、図40に示すように、前または後フレーム、あるいは、前後双方のフレームのデータの必要部分を抽出し、再生画像を生成する処理を行う（図37、309参照）。また、DCTブロックデータである場合は、逆量子化、逆離散コサイン変換（IDCT「Inversion Discrete Cosine Transform」）を行って再生（復号）画像データとする（図37、306、407参照）。なお、逆量子化は、図40に示すように、量子化時に、除算に使用した値を、量子化テーブルを参照して求め、今度は、その値で乗算を行う処理である。

【0021】また、逆離散コサイン変換は、図40に示すように、逆量子化されたデータを、画像データに変換する処理であり、前記離散コサイン変換と、逆の処理を行っていることが分かる。

【0022】なお、以上のような処理の詳細については、例えば、「動画像データ圧縮規格標準化動向：安田浩：インターフェース1991年12月号」に記載されている。

【0023】さて、この動画圧縮技術においては、MP EG以外に、衛星放送用や通信用（TV電話、TV会議システム等）等の放送用の動画データ標準規格も提案されている。

【0024】このような通信用の動画情報では、伝送路が動画を再生するのに十分な伝送帯域幅を有することができないために、従来から、伝送帯域幅内で、動画を通信し、受信側で再生可能なように、送信側、すなわち、エンコーダする際に、処理に工夫をしている。

【0025】例えば、特開平3-150987号公報「動画像符号化装置および画像符号化方法」においては、デジタル動画圧縮時に、フレーム毎のデータ量を規定し、この量を越えないことを条件として、量子化テーブルのしきい値や、送出符号量を制限している。また、特開平4-290088号公報「テレビ電話」においては、符号化する映像の内容に応じて、再生画像を、高解像度と低解像度の領域に分けて、再生処理を行っている。さらにまた、特開平4-307887号公報「画像符号化における伝送レート制御方式」においては、予定符号量と称される値を設定し、平均符号量が、前記予定符号量を越えた場合には、予め定めておいた個数、の符号のみを送信するようにしている。

【0026】

【発明が解決しようとする課題】しかしながら、これらの従来技術においては、通信用のデータを作成するエンコーダに関するもののみであり、エンコードしたデータ

を記憶媒体(CD-ROM等)等に大量に記憶しておき、必要に応じてエンコードデータをデコードする、いわゆる蓄積型の装置には、利用できないものである。

【0027】蓄積型のデジタル動画データの再生処理は、デコーダのみが、その処理を行うものである。デコーダは、前記2つの方法(図37に示すように、1つは、動き補償を行いVLC化する方法、他の1つは、DCT、量子化処理を行い、VLC化する方法)で圧縮したデータを、前記2つの変換方法の逆変換を行っていき、復号、すなわち、再生する。

【0028】この逆変換の処理速度が、フレームの再生速度に追いつかない場合、1つのフレームの再生を止めて、フレームの再生に追いつこうとする。

【0029】このため、再生能力の低いデコーダを使用した場合には、再生されないフレームが頻繁に発生し、再生された動画画像が、見た目に、ぎこちない動きを示す画像となってしまう。

【0030】つまり、動画の動きが、スムーズな動きとして観測されるように動画再生を行うためには、再生能力の高い、比較的成本の高いデコーダを使用しなくてはならなかった。

【0031】

【課題を解決するための手段】CPUおよびメモリを少なくとも有し、予め定められている規則にしたがって符号化された画像データを、復号する装置であって、符号化された画像データであるVLC(Variable Length Code)が与えられると、これを、量子化されたDCT(Discrete Cosine Transform: 離散余弦変換)係数とするデコード手段と、量子化されたDCT係数の各要素に、所定の値を乗じ、DCT係数を求める逆量子化手段と、求められたDCT係数をIDCT(Inversion Discrete Cosine Transform: 逆離散余弦変換)処理し、復号された画像データを求めるIDCT処理手段と、前記VLCに、動き補償をすべき旨のデータおよび動きベクトルが含まれているときに、あるフレームにおける複数画素のデータを、前記動きベクトルを参照して移動させた場所に位置するように、次フレームの画像データを生成する動き補償処理手段と、画像データを復号する際のフレームレートを少なくとも入力する入力手段と、復号された画像データを少なくとも表示する表示手段と、DCT係数のうち、直流分を表すDC係数を除く、0以外の値である、AC係数の数を定める処理手段を備えた構成にする。

【0032】そして、処理手段は、前記入力手段を介して入力されたフレームレート、および、予め定められているパラメータであって、前記CPUの動作周波数を含む自装置の処理性能を示す性能パラメータとを使用し、予め定めた規則に従ってAC係数の数を決定し、決定したAC係数の数を参照して、前記IDCT処理手段がIDCT処理の対象とするDCT係数の要素を定め、要素

が定められたDCT係数を用い、前記符号化に使用した予め定められている規則を参照して、画像データを復号する装置である。

【0033】

【作用】上述の課題を解決するためには、再生能力の低いデコーダでネックとなる、DCTの逆変換(以下「IDCT」と称する)の演算に必要な時間を短縮する必要がある。デジタル動画処理では、「8画素×8画素」のデータを、DCTにより、「8×8」のマトリクス状の、AC係数データに変換する。この変換後の「8×8」のデータテーブルの各要素は、(0, 0)の低周波成分から、(7, 7)の高周波成分まで存在し、一般に、自然画では低周波成分のデータが大きく、高周波成分のデータは小さい。これを量子化し、VLCに変換して記録する際、低周波成分から順に記録される。よって、再生を行うときには、これらのデータを読み出して逆量子化を行い、再現した、「8×8」のAC係数テーブルをもとに、IDCTを行って、画素データを再生する。

【0034】このときのIDCTの演算時間は、「8×8」のAC係数テーブル中の「0」以外の値となる、AC係数の個数に依存する。そこで、自然画の高周波成分のデータは小さいという特性を利用して、再生に使用するAC係数の数を、高周波成分側から、削除していくことによって、IDCTの演算に必要なとなる時間は短縮されることに、注目して創作した。

【0035】具体的には、以下のように動作する。

【0036】入力手段を介して入力されたフレームレートを入力する。

【0037】次に、フレームレートおよび予め定められているパラメータであって、前記CPUの動作周波数を含む、自装置の処理性能を示す性能パラメータとを使用し、予め定めた規則に従って定まるAC係数の数を決定する。

【0038】そして、決定されたAC係数の数を参照して、前記IDCT処理手段がIDCT処理の対象とするDCT係数の要素を定める。

【0039】最後に、要素が定められたDCT係数を用い、前記符号化に使用した予め定められている規則を参照して、画像データを復号する。

【0040】また、デコーダの初期設定時に、デコーダの再生性能を測定するためのテストデータを再生して、デコーダの再生性能を測定しておくことも考えられる。

【0041】この結果を参照して、データ再生に使用するAC係数の数を決定して、データ再生に使用するAC係数データの数を制限する。

【0042】

【実施例】以下、図面を参照して本発明の実施例を説明する。

【0043】図1は、第1実施例の構成図である。

【0044】101は、中央演算処理装置（以下「CPU」と記す）、102は、メモリ、103は、大容量記憶装置、104は、表示用メモリ（以下「VRAM」と記す）、105は、表示装置、106は、入力装置である。

【0045】そして、これらの構成要素は、システムバス107で接続された構成となっている。メモリ102、VRAM104は、例えば、RAM等の電子デバイスにて実現できる。大容量記憶装置103は、例えば、ディスク装置によって実現でき、表示装置105は、例えば、CRT、液晶ディスプレイ、ELディスプレイ等によって実現できる。入力装置106は、例えば、マウス、キーボード等によって実現できるが、具体的に、図2を参照して説明する。

【0046】図2に、入力装置106の構成の一例を示す。

【0047】201は、キーボードであり、該キーボードは、複数のキーを備えており、いずれかのキーが、フレームレート決定モード選択ボタン（203）や、数値を入力するための数値入力キー（204）に割り当てられている。

【0048】また、202は、マウスであり、マウス202を操作することによって、画面上のメニューを選択可能な構成となっている。

【0049】図1に示す装置上で、本発明にかかる動画再生処理プログラムを実行させ、入力装置106介して、所望のフレームレートを設定し、該フレームレートを使用して、大容量記憶装置103に記憶されている圧縮処理画像を再生する機能を実現する。動画再生処理プログラムは、例えば、大容量記憶装置103に記憶されており、記憶されているプログラムにしたがって、CPU101が、処理プログラムの実行を行う。

【0050】次に、図3、図4に、フレームレート設定時の入力画面の表示状態の一例を示す。

【0051】このような表示処理を行うプログラムも、動画再生処理プログラムの一部として、大容量記憶装置103に蓄えられ、大容量記憶装置103から、メモリ102上に、必要なプログラムがロードされて表示処理が実行される。

【0052】図3は、動画再生画面の表示例を示したものである。

【0053】動画再生ウィンドウ301は、動画を再生するための表示領域である動画再生スクリーン302と、動画再生プログラムの制御を行うためのメニューを表示するメニューバー303を有して構成されており、このメニューバーの中に、フレームレート設定のための表示部304がある。この表示部をマウス202でクリック選択したとき、あるいは、フレームレート決定モード選択ボタン203を押したとき、図4に示す、フレームレート設定入力画面401が表示される。

【0054】この設定入力画面401は、フレームレート設定コントロールバー402と、数値入力部分403を有して構成されている。

【0055】このうち、フレームレート設定コントロールバー402は、例えば直線上に、フレームレートの数値が数値の大きさに従って並んだ状態で表示される。そして、コントロールバー402上には、カーソル404が存在し、このカーソル404を、マウス202の操作によって移動させる。

【0056】また、キーボードの数値入力キー204を使用して、数値入力部分403に、所望のフレームレートの値を、数値で直接入力して、フレームレートを設定しても良い。この設定画面を終了させると、数値入力部分403に数値が書き込まれている場合は、この数値をフレームレートとして採用し、数値入力部分403に数値が書き込まれていない場合は、フレームレート設定コントロールバー402上のカーソル404の示す位置に対応する数値が、設定したフレームレートとして採用される。

【0057】さて、図5を参照して、CPU101が行う処理を説明する。

【0058】まず、最初に、マシン性能の情報を、装置が備えるOS（Operating System）から入手する（ステップ501）。入手するマシン性能情報としては、装置が備えるCPU101の種類、そのCPU動作周波数、描画アクセラレータの有無等の情報がある。

【0059】次に、動画再生の開始を行い、大容量記憶装置103に記録されている動画データに付されたヘッダ情報を参照して、動画データ記録時に付された、動画データの希望再生フレームレートのデータを得る（ステップ502）。

【0060】そして、上記マシン性能情報に基づいて、希望再生フレームレートを実現できる、DCTにおけるAC係数の個数を計算し、再生AC係数の数の初期値とする（ステップ503）。

【0061】次に、入力装置106を介して新たなフレームレートの設定を行うことを希望しているか否かを調べ（ステップ504）、フレームレートの設定を希望している場合には（Y）、設定画面401を表示して（ステップ506）、図4を参照して説明した方法によって、ユーザの希望するフレームレートを得る（ステップ507）。なお、フレームレートの設定を希望していない場合には（N）、直接、ステップ509にブランチする。

【0062】そして、上記マシン性能情報に基づいて、設定した再生フレームレートを実現できる、AC係数の個数を計算し、再生AC係数の個数の、新しい値とする。

【0063】次に、VLC形式で、大容量記憶装置（103）に記録されている画像データを読み出し、デコー

ドして(ステップ509)、デコードの結果、画像データが動きベクトルであれば(ステップ510:Y)、前述した動き補償処理を行う(ステップ511)。

【0064】また、DCTブロックデータであれば(ステップ510:N)、VLCに基づき、再生AC係数の個数まで、デコードを行う(ステップ512)。この後、前述した、逆量子化(ステップ513)、IDCT(ステップ514)処理を行って、DCTブロックの再生処理を終了する。そして、すべての画像データの再生処理が終了するまで、ステップ505からの処理を繰り返す。

【0065】以上が、本実施例にかかる処理の概要である。

【0066】次に、図6を参照して、本実施例の処理に必要な、メモリ上の変数およびデータベースについて説明する。

【0067】601から606は、必要となる変数を表している。これらの変数は、メモリ102の所定のアドレスに格納されている。

【0068】CPU種類601、CPUを動作させる周波数であるCPU動作周波数602、描画アクセラレータの有無603は、前述のマシン性能情報であり、これらの情報は、システムに依存するため、OSから、図5ステップ501の処理により得る。

【0069】希望フレームレート604には、フレームレートの値が格納されており、図5ステップ504の処理で、その初期値が格納され、ステップ507の処理により、格納される値が変更される。

【0070】再生AC係数個数605は、実際に、601から604の変数を使用して計算される数値で、希望フレームレート604の変更に伴って、再計算され、その値が順次更新される(図5、ステップ508に対応)。AC係数カウンタ606は、実際にVLCからIDCT処理を行っていく際に、AC係数を変換処理した数を記憶する。

【0071】607は、VLCデータバッファ、608は、DCT量子化テーブル、609は、DCTデータであり、いずれも動画データであるDCTブロックの再生処理の際に、使用される。例えば、VLCデータバッファ607には、取り出してきたVLCコードが格納されている。DCT量子化テーブル608には、例えば、DCTデータを量子化するために必要なデータが、また、DCTデータ609には、DCT処理されたデータが格納されている。また、データベースは、必要な演算結果等を、一時的に格納しておく領域として使用される。

【0072】また、データベースとしては、610から615までが存在する。これらのデータベースも、メモリ102の所定のアドレスに格納されるようにしておけばよい。

【0073】CPU種類係数変換テーブル610は、C

PUの種類(例えば、どのメーカーが製造した、何ビットのCPUであるか等を示す情報)を示すコードを格納するCPU種類611の格納部と、CPUの種類ごとに予め定めている係数であるCPU係数612の格納部を有している。

【0074】613は、CPUの動作周波数に対して、予め定めておく係数を格納する格納部、614は、描画アクセラレータが有る場合に、予め定めておく係数を格納する格納部、615は、描画アクセラレータが無い場合に、予め定めておく係数を格納する格納部である。これらのデータベースは、601から603のマシン性能情報とともに、再生AC係数の個数を決定する際に使用される。

【0075】図7に、図5に示したフローチャートにおける、ステップ503とステップ508の処理において使用される、再生AC係数の数を求める計算例を示す。

【0076】この処理に必要な変数としては、CPU種類601、CPU動作周波数602、描画アクセラレータの有無603、のマシン性能情報と、希望フレームレート604であり、また、データベース(610~615)に格納されているデータを使用して、計算を行い、計算結果は、再生AC係数個数605に格納する。

【0077】さて、以下に処理手順を示す。

【0078】CPU種類601に格納されている、CPU種類の情報を得て、CPU種類係数変換テーブル610を参照して、CPUの種類ごとに、予め定められているCPU係数を決定する(ステップ701)。そして、描画アクセラレータの有無603に格納されている描画アクセラレータの有無の情報を得て、描画アクセラレータの有無を判断し、描画アクセラレータ有の係数614、または、描画アクセラレータ無しの係数615を選択して、ステップ703に示す式で、再生AC係数の個数を算出し、出力する(ステップ704)。

【0079】このような処理によって、再生AC係数の個数を算出することが可能となる。なお、ステップ703における式は、一例であり、重要なのは、再生AC係数の個数は、フレームレートと、主としてCPUにより決定される性能パラメータによって決定されることである。したがって、フレームレートと、主としてCPUにより決定される性能パラメータを使用した演算式であればよく、ステップ703にて示した式は、特に好ましい例にすぎない。

【0080】次に、図8では、図5に示したフローチャートにおけるステップ512で行う、VLCデータの変換処理ルーチンの一例を示す。

【0081】この処理ルーチンにおける入力情報は、VLCコード(607に格納されている)で、出力データは、変換処理してAC係数の個数を制限したDCTデータを格納するDCT量子化テーブル(608)に格納される。

【0082】まず、ステップ801では、AC係数カウンタ(606)をクリアする。次に、ステップ802では、AC係数カウンタが、予め定めた再生AC係数個数(605)以上となっているか否かをチェックして、予め定めた再生AC係数個数(605)以上となっていなければ、ステップ803の処理を行い、予め定めた再生AC係数個数(605)以上となっていれば、ステップ805の処理を行う。

【0083】ステップ803では、AC係数に対して定められているVLCを、DCTコードに変換する。

【0084】そして、ステップ804では、AC係数カウンタをインクリメントして、ステップ802の判定処理に戻る。また、ステップ805では、残ったAC係数を無視して、このルーチンを終了する。

【0085】図9に従来の画像出力一例、図10に、本実施例での画像出力の一例を示す。

【0086】図9では、希望のフレームレートを設定し、該フレームレートで再生する機能を有しない、従来の再生処理プログラムを使用した画像の出力例である。

【0087】図9中、左から右へ時間順に再生フレーム901を並べてあるが、再生することの不可能なフレーム902が発生している。いわゆるフレーム落ちが発生している様子が分かる。これに対して、図10に示す画像出力例では、希望のフレームレートを設定し、該フレームレートで再生処理を行う機能を有する、本実施例の再生処理プログラムを使用した処理例である。画質は、落ちることは否めないが、フレームが落ちることがないように再生している点が従来と異なる。

【0088】次に図11からは、第1実施例における構成を、カードタイプにハードウェア化した、第2実施例について説明する。

【0089】図11に、ハードウェア全体の構成を示す。

【0090】図11中、101~107は、図1の同一符号を有する構成要素と同一の構成要素である。この構成に、新たに、カードインタフェース1101とカード1102を追加する構成を想定する。

【0091】カードインタフェース1101は、カード1102と必要なデータの送受信を行うためのインタフェースであり、例えば、ハーネス、接続ピン、通信用IC等の電子デバイスによって実現できる。

【0092】カードは、カードインタフェース1103と動画処理エンジン1104を有して構成される。また、カードは、カードバス1105を介してシステム側と結線される。

【0093】第1実施例では、CPUとメモリを用いて行っていた処理を、ハードウェアが行うように構成し、該ハードウェアをカードに内蔵し、第1の実施例と同一の効果を奏するようにした実施例である。

【0094】図12は、カード1102の内部の構成図

である。

【0095】カード内部には、カードインタフェース1103と、動画処理エンジン1104とを備える。動画処理エンジン1104は、VLCデコーダ1201、動き補償エンジン1202、逆量子化エンジン1203、IDCTエンジン1204、バッファ1205有して構成され、これにAC係数フィルタ1206が付加されている。VLCデコーダ1201、動き補償エンジン1202、逆量子化エンジン1203、IDCTエンジン1204は、それぞれ、VLCデコーダ処理、動き補償処理、逆量子化処理、IDCT処理を行う手段である。なお、図12に示す各構成要素は、抵抗、各種CMOS論理素子等の電子デバイスにて実現可能であり、必要によっては、カスタムIC化することも可能である。

【0096】以下、このカードにおける動作の説明をする。なお、図6に示す、変数情報およびデータベースは、メモリ102内に記憶されているとする。

【0097】カードインタフェース1103は、1105を介して送信されてくる再生AC係数個数(605)を、AC係数フィルタ1206へ送信し、次に、送信されてくるVLCコードを順次受け取る。

【0098】このコードを、VLCデコーダ1201でデコードし、動きベクトルデータであれば、動き補償エンジン1202へデータが送られて、動き補償処理が行われる。また、データが、DCTブロックデータであれば、この中のDC係数は、逆量子化エンジン1203へ送られ、また、AC係数は、AC係数フィルタ1206へ送られる。

【0099】AC係数フィルタ1206は、カードインタフェース1103から送信されてくる再生AC係数個数(605)を内部に保存し、送られてくるAC係数をカウントして、カウント値が、再生AC係数個数(605)の値より小さい場合には、そのAC係数を逆量子化エンジン1203へ送り、カウント値が、再生AC係数個数(605)の値より大きくなったら、それ以後は、AC係数を送出しないようにする。

【0100】AC係数フィルタ1206から、逆量子化エンジン1203へ送られるAC係数は、量子化されているので、逆量子化エンジン1203によって、逆量子化処理を行い、処理データをIDCTエンジン1204へ送る。IDCTエンジン1204では、転送されてきたAC係数を計算して画像情報を再生する処理を行い、再生情報を、バッファ1205へ記憶する。また、バッファ1205の記憶内容は、カードインタフェース1103を介して、VRAM104に書き込まれる処理が行われ、表示装置105に動画が表示される。

【0101】以上の処理が、図12に示す構成要素によって、どのように行われるかについて更に詳しく説明する。

【0102】まず、カードインタフェース1103

は、再生AC係数個数(605)を、カードバス1105を介して得て、AC係数フィルタ1206へ送信し、AC係数フィルタ1206は、この値を受け取って、内部に記憶する。

【0103】次に、カードインターフェース1103は、カードバス1105を介して、VLCを逐次受け取り、VLCデコーダ1201へ送信する。これを受け取ったVLCデコーダ1201は、VLCをデコードして、動き補償データであれば、動き補償エンジン1202へ、また、DCTブロックデータであれば、このうちDC係数は、逆量子化エンジン1203へ転送し、AC係数は、AC係数フィルタ1206へ転送される。AC係数フィルタ1206は、内部に記憶している再生AC係数個数(605)分のデータを、逆量子化エンジン1203へ転送する。

【0104】AC係数、DC係数が送られてきた、逆量子化エンジン1203は、データの逆量子化を行い、IDCTエンジン1204で画像データに変換して、変換データをバッファ1205に記憶する。また、バッファ1205に記憶されたデータは、適時、カードインターフェース1103を介して、VRAM104への書き込まれ、表示装置105に、再生画像が表示される。

【0105】図13は、カードインターフェース1103の内部構成図である。

【0106】1301は、アドレスをデコードする機能を有するアドレスデコーダ、1302は、データセクタ、1303は、セレクト信号、1304は、再生AC係数個数バッファ、1305は、VLC転送バッファ、1306は、画像データ送出バッファである。

【0107】アドレスデコーダ1301は、カードバス1105を介して送られてくるデータのアドレスをデコードして、再生AC係数バッファ1304、VLC転送バッファ1305、画像データ送出バッファ1306に対応するアドレスであれば、データセクタ1302へセレクト信号1303を送信する。データセクタ1302は、セレクト信号1303に基づいて、データバスと所定のバッファを接続し、各バッファへのデータの読み書きを行う。

【0108】再生AC係数バッファ1304は、AC係数フィルタ1206へ、VLC転送バッファ1305は、VLCデコーダ1201へ、記憶しているデータを送信し、画像データ送出バッファ1306は、バッファ1205からのデータを受け取り、カードバス1105へデータを送信する。

【0109】したがって、カードインターフェース1101は、次のように動作する。

【0110】CPU101は、システムバス107を介して、カードバス1105に対して、再生AC係数個数バッファ1304またはVLC転送バッファ1305に対するアドレスと、該アドレスに対応するバッファに送

信するためのデータを送る。

【0111】これを、アドレスデコーダ(1301)がデコードして、再生AC係数個数バッファ1304、または、VLC転送バッファ1305のいずれのデータであるかを、データセクタ1302に、セレクト信号1303を使用して伝達する。

【0112】データセクタ1302は、カードバス1105と、セレクトされたバッファ(1304または1305)を接続して、セレクトされたバッファにデータを転送する。また、バッファ内のデータを表示する場合には、画像データ送出バッファ1306は、バッファ1205からデータを受け取り、カードバス1105へデータを送出する。データは、カードバス1105、システムバス(107)を介して、VRAM104へ書き込まれ、表示装置105で表示出力される。

【0113】図14は、VLCデコーダの構成図である。

【0114】カードインターフェース1103から、VLCデータを受取り、VLC参照テーブル1401を参照して、VLCをデコードする。VLC参照テーブル1401には、符号化データであるVLCと、DCTとの関係が対応づけられている。

【0115】VLCデータが、動きベクトルデータであれば、動きベクトルバッファ1402へ変換データを送信し、動き補償エンジンイネーブル信号1403を送信し、これを受け取った動きベクトルバッファ1402は、バッファ内部のデータを動き補償エンジン1202へ送信する。また、DCTブロックのDC係数であれば、DC係数バッファ1404に書き込み、同時に、DC係数イネーブル信号1405を送信し、DC係数バッファ1404内のデータは、逆量子化エンジン1203へデータを送信する。また、AC係数であれば、AC係数バッファ1406へ書き込み、同時に、AC係数イネーブル信号1407を送信し、AC係数バッファ1406内のデータは、AC係数フィルタ1206へ送信される。

【0116】図15は、AC係数フィルタ1206の構成図である。

【0117】DCTブロックのデータの始まりを示す信号である、DC係数イネーブル信号1405を、VLCデコーダ1201から受け取り、AC係数カウンタ1501をリセットして、順次送られてくるAC係数を受け取るたびに、このAC係数カウンタ1501をインクリメントする。AC係数イネーブル信号1407は、インクリメント信号として機能する。

【0118】また、カードインターフェース1103から送られてくる値を、再生AC係数レジスタ1502に格納し、比較器1503によって、AC係数カウンタ1501の値と、再生AC係数レジスタ1502の値を比較し、前者の方が大きな場合には、イネーブル信号15

04をアサートして、AC係数スイッチ1505をオンにし、後者が大きくなる場合には、イネーブル信号1504をネゲートして、AC係数スイッチ1505をオフにする。これによって、AC係数は、フィルタリングされて再生したい数だけの、AC係数のみが逆量子化エンジン1202に送られ、逆量子化されることになる。

【0119】図16を参照して、CPU101による処理を説明する。図中第1実施例でのソフトウェア処理と同じ処理には、同じ番号を付する。

【0120】まず、処理マシンの「CPU種類」、「CPU動作周波数」、「描画アクセラレータ」の、マシン情報をOSから得る(ステップ501)。次に、動画再生を開始して、動画データに付されたヘッダから、この動画データを再生すべきフレームレートの情報を得る(ステップ502)。そして、上記マシン情報を参照して、希望する再生フレームレートを実現できるAC係数の個数を計算し、その数を、再生AC係数の初期値とする(ステップ503)。この値を、カードの再生AC係数レジスタに設定する(ステップ1601)。

【0121】次に、フレームレートの設定操作があるか否かを調べ(ステップ504)、ある場合、設定画面401を表示して(ステップ506)、図4で説明した方法によって、ユーザの希望するフレームレートを入手する(ステップ507)。

【0122】そして、上記マシン情報から、設定した再生フレームレートを実現できるAC係数の個数を計算し、該個数を再生AC係数バッファ1304へ書き込む(ステップ1602)。次に、VLCの形式で記録されている画像データをカードに順次転送する(ステップ1603)。そして、すべてのデータの再生が終了するまで、ステップ504からの処理を繰り返す。

【0123】図17に、本実施例で使用する、変数とデータベースを示す。

【0124】図中、第1実施例でのソフトウェア処理で使用する変数、データベースと、同じ変数、データベースには、同一の番号を付してある。図6と比較すると、AC係数カウンタ606、DCT量子化テーブル608、DCTデータ609が不要となっていることが分かる。

【0125】図18からは、本発明にかかる第3実施例について説明する。

【0126】図面のうち、ハードウェア構成、入力手段の一例、フレームレート設定時の入力画面は、第1実施例と同じ構成であるため、図1、図2、図3、図4を参照する。

【0127】図18は、CPU内での一連の処理の概要を示したフローチャートである。

【0128】第1実施例と比較して、変更した部分についてのみ、新たな番号を付してあり、図5における番号と同一番号が付された処理は、図5において説明した処

理と同一の処理である。

【0129】具体的には、第1実施例では、OS等で管理している、マシンの情報を読み込んで、再生AC係数の個数の計算に使用したが、本実施例では、再生処理性能測定ルーチンで、直接再生処理性能を測定し(ステップ1801)、この結果に基づいて、再生AC係数の個数を求める。したがって、この処理に伴って、新たに必要となる処理部分について、以下、図19、図20、および図21を参照して説明する。

【0130】図19に、第3実施例において、メモリが格納する各種変数等を示す。図6と比較して、変数では、CPU種類601、CPU動作周波数602、描画アクセラレータの有無603の変数が不要となり、これに代わって、テスト用フレームカウンタ1901、テスト用DCTブロック係数カウンタ1902、テスト用AC係数カウンタ1903、再生時間タイマ1904~1906、IDCT演算時間タイマ1907~1909が、新たに設けられている。また、データベースでは、610~615は、全て不要となり、これに代わって、再生処理性能測定用データ1910が設けられている。

【0131】次に、図20に、再生処理性能を測定する処理のフローチャートを示す。

【0132】このルーチンでは、まず、予め用意してあるテストデータをメモリ上にロードして(ステップ2001)、再生処理の初期設定を行い(ステップ2002)、テストデータの再生処理を開始する。

【0133】まず、再生時間タイマ開始値(1904)に、開始時間を記録し(ステップ2003)、データがフレームの先頭であったら(ステップ2004)、テスト用フレーム数カウンタ1901の値をインクリメントして(ステップ2007)、VLCデコードを開始する。

【0134】VLCが、動きベクトルであれば(ステップ2007)、動き補償処理を行い(ステップ2008)、DCTブロックであれば、テスト用DCTブロック数カウンタ1902の値をインクリメントして(ステップ2009)、AC係数のデコードを行っていく。

【0135】AC係数の値が「0」でなければ(ステップ2010)、AC係数カウンタ606の値をインクリメントして(ステップ2011)、AC係数をDCTデータ609に書き込む(ステップ2012)。

【0136】AC係数が「0」となった時点で、逆量子化を行う(ステップ2013)。

【0137】次に、IDCT演算時間タイマ開始値(ステップ1907)に、開始時刻を記録して、IDCTを行い(ステップ2014)、処理が終了したら、IDCT演算時間タイマ終了値(ステップ1908)に終了時刻を記録し(ステップ2016)、IDCT演算時間タイマ累計値を計算する(ステップ2017)。

【0138】ここで、IDCT演算時間タイマ累計値と

は、1回のIDCT処理ごとに、IDCT演算時間タイマ終了値1908からIDCT演算時間タイマ開始値1907を減じ、この差分値を、累計していったときの値である。

【0139】このあと、テスト終了であるか否かを判定し(ステップ2018)、テストが続行であれば、ステップ2004に処理を戻し、終了していれば、再生時間タイマ終了値(1905)に、終了時刻を記録し(ステップ2019)、再生時間タイマ差分値(1906)を計算する(ステップ2020)。再生時間タイマ差分値は、再生時間タイマ終了値1905の値から、再生時間タイマ開始値1904の値を減じた値である。

【0140】図21に、第3実施例での、再生AC係数個数の計算方法について示す。

【0141】まず、図20に示した方法で再生処理性能を測定し(ステップ2101)、図に示すような数式に基づいて、再生AC係数の個数を求める(ステップ2102)。この結果を、再生AC係数の個数(605)として出力する(ステップ2103)。

【0142】すなわち、希望するフレームレート(F_r)、テストデータのフレーム数(F)、テストデータの再生時間(T_s)、テストデータのIDCT再生時間(T_d)、およびテストデータAC係数の平均値(A_a)を使用し、AC係数の数(A)を、 $A = [A_a \times (1 - (T_s - F_r \times F) / T_d)]$ ($[]$ は、ガウス記号)として、 A を求める処理を行う。なお、テストデータの再生時間(T_s)、テストデータのIDCT再生時間(T_d)等は、テストデータを使用して計測した再生処理性能である。

【0143】図22、図23に、第3実施例における動画の出力例を示す。

【0144】図22は、従来方式との性能の比較を示す。従来では、普通の画質(901)で動画を再生していくため、性能不足から、フレーム落ち(902)が発生していることが分かる。一方、本実施例では、再生前にテスト再生(2201)を行って、再生AC係数の個数を予め調整し、決定しているため、画質を落としても(903)、フレーム落ちが全く無い、再生を行っていることが分かる。

【0145】図23では、本実施例を、高性能のマシンと、低性能のマシンで動作させた場合の再生状態を示した様子を示している。双方ともテスト再生(2201)を行い、高性能のマシンでは、高画質の動画再生(901)が行え、低性能のマシンでは、低画質の動画再生(1001)を行って、フレームレートを、高性能のマシンと同一にしている様子が分かる。

【0146】次に、図24等を参照して、第3実施例のハードウェアをカード化した構成とする第4実施例について説明をする。

【0147】ハードウェア全体の構成図は、第2実施例

の構成と変わる点がないので、ここで重複説明することは省略する。

【0148】図24に、第4実施例の構成図を示す。図12と比較して、再生処理性能測定エンジン2402、AC係数決定エンジン2403を新たに設けて、さらに、カードインターフェース2401と、VLCデコーダ2404の内部構成を変更することによって実現する。その他の構成要素は、図12と同一である。

【0149】このカード型のハードウェアによる動作の概要は、以下のようになる。

【0150】まず、テスト再生処理であることを、カードインターフェース2401が受信すると、このことを再生処理性能測定エンジン2402に伝え、これを受けて、再生処理性能測定エンジン2402は、各処理性能を示すパラメータの測定を開始する。

【0151】次に、VLCデコーダ2404は、テストデータを受け取り、再生処理性能測定エンジン2404へ必要な情報を送信する。

【0152】テスト再生が終了したことを、カードインターフェース2401が受信したら、カードインターフェース2401は、テスト再生が終了したことを、再生処理性能測定エンジン2402へ送信し、これを受けて、再生処理性能測定エンジン2402は、AC係数再生数決定エンジン2403へ必要な情報を送信する。

【0153】送信された情報を受け取ったAC係数再生数決定エンジン2403は、再生AC係数の個数を計算して、その個数を、AC係数フィルタ1206へ設定する。

【0154】図25は、カードインターフェース2401の構成図である。

【0155】第2実施例におけるカードインターフェースの構成を示す。図13と比較すると、テスト再生開始終了バッファ2501と、希望フレームレートバッファ2502が、新たに設けられた構成となっている。この2つのバッファは、VLC転送バッファ1305と同じ構成のバッファであり、データセクタ1302から送信されてきたデータをラッチする機能を有する。

【0156】テスト再生開始終了バッファ2501は、テスト開始またはテスト終了のコマンドをラッチして、テスト開始コマンドであれば、テスト開始信号2503、また、テスト終了コマンドであれば、テスト終了信号2504を、再生処理性能測定エンジン2402へ送る。これにより、再生処理性能測定エンジン2402は、テスト開始またはテスト終了を把握することが可能となる。

【0157】また、希望フレームレートバッファ2502の記憶内容は、AC係数再生数決定エンジン2403へ送られる。

【0158】次に、図26に、再生処理性能測定エンジン2401の構成を示す。

【0159】再生処理性能測定エンジン2401の内部には、フレーム数カウンタ2602、DCTブロック数カウンタ2604、AC係数個数カウンタ2605と、再生時間タイマ2606、DCT演算時間タイマ2607、DCT演算時間レジスタ2612、テストデータ再生時間レジスタ2613、テストデータフレーム数レジスタ2614、テストデータAC平均数レジスタ2615を有した構成となっている。

【0160】2602は、フレーム数を計数する、フレーム数カウンタであり、テスト開始信号2503によってリセットされ、図28を参照して後述する、フレーム開始信号2603によって、値をインクリメントする。この値は、テストデータフレーム数レジスタ2614に、テスト終了信号(2504)によってラッチされ、AC係数再生数決定エンジン2403へ送られる。

【0161】2604は、DCT処理の対象となるブロック数を計数する、DCTブロック数カウンタで、テスト開始信号2503によってリセットされ、DCTブロック開始信号1404によって、値をインクリメントする。

【0162】また、2605は、AC係数の個数を計数する、AC係数個数カウンタで、テスト開始信号2503によってリセットされ、AC係数復号信号1407によって、値をインクリメントする。

【0163】この2つの値(DCTブロック数カウンタおよびAC係数個数カウンタの値)は、除算器2611で除算され、結果はテストデータフレーム数レジスタ2614に、テスト終了信号2504をラッチ信号としてラッチされ、AC係数再生数決定エンジン2403へ送られる。

【0164】2606は、テストデータを再生するのに要した時間を計測する、再生時間タイマであり、テスト開始信号2503によってリセットされ、さらに、スタートして、テスト終了信号2504で終了する。この値は、テストデータ再生時間レジスタ2613に、テスト終了信号2504によってラッチされ、AC係数再生数決定エンジン2403へ送られる。

【0165】2607は、DCT処理に要する時間を計測する、DCT演算時間タイマであり、テスト開始信号2503によってリセットして、DCT演算スタート信号2608によってスタートし、DCT演算終了信号2608によって停止する。この値は、DCT演算時間レジスタ2612に、テスト終了信号2504によってラッチされ、AC係数再生数決定エンジン2403へ送られる。

【0166】これらのカウンタ、タイマを、テスト再生開始信号2601でリセットして、各信号によって、カウンタは、インクリメント、タイマは、スタート、ストップの動作を行う。テスト再生終了を示す、テスト再生終了信号2610を受信して、各カウンタ、タイマ値

を、所定のレジスタがラッチして再生処理性能測定エンジン2401の処理は、終了する。

【0167】図27は、AC係数再生数決定エンジンの構成図である。

【0168】再生処理性能測定エンジン2402による再生処理性能の測定結果、および、カードインタフェース2401が受け取った希望フレームレートのデータに基づいて、再生AC係数の個数を算出する。

【0169】2701は、除算器、2702は、減算器、2703は、値が1の定数、2704は、乗算器である。ここで行う計算は、図21のステップ2102に示した数式による計算である。2614からテストデータのフレーム数(F)を、2602から希望するフレームレート(Fr)を、2613からテストデータの再生時間(Ts)を、2612からテストデータのIDCT再生時間(Td)を、2615からテストデータAC係数の平均値(Aa)のデータを得る。

【0170】そして、2701、2702、2703、2704を使用して、 $A = [Aa \times (1 - (Ts - Fr \times F) / Td)]$ ([]は、ガウス記号)なる演算を行い、再生AC計数の個数Aを求める処理を行う。

【0171】図28は、VLCデコーダの構成図である。図14に示されたVLCデコーダの構成と比較すると、フレーム開始に相当するデータをデコードした場合、フレーム開始信号2603を送信する機能を、新たに付加している。

【0172】図29は、第4実施例における、CPUが行う処理を示すフローチャートである。

【0173】まず、カードの初期化が終了するのを待ち(ステップ2901)、次に、テスト開始のための信号をカードへ発信する(ステップ2902)。

【0174】次に、テストデータの再生を行い(ステップ2903)、テストデータの再生が終了したら、テストの終了の旨の信号を、カードに送信する(ステップ2904)。

【0175】そして、再生すべきVLCコードをカードに送信する処理を行う(ステップ2905)。再生処理が完了するまで、ステップ2905における処理を繰り返す(ステップ2906)。

【0176】図30は、第4の実施例におけるメモリマップである。第3実施例と比較して、カード側にレジスタやバッファを設けるため、希望フレームレート1901、VLCデータバッファ607、および再生処理性能測定用データ1910のみ、システム側のメモリ内に設けておけば良い。

【0177】次に、第5実施例を図31等の図面を参照して説明する。

【0178】なお、システム全体のハードウェア構成、入力手段の一例、フレームレート設定時の入力画面については、第1実施例と同一であるため、図1、図2、図

3、図4を参照する。

【0179】図31に、第5実施例における、CPUが行う処理を表すフローチャートを示す。

【0180】図中、第3実施例における処理と同一の処理には、同一の番号を付している。

【0181】本処理における、装置の再生処理性能を測定してから、再生AC係数の個数を計算して、該個数をカードに送信するまでの処理と、フレームレートを希望の値に変更する処理は、第3実施例で行われる処理と同じである。本実施例では、MPEGのフレームの集まりの単位である、いわゆるGOP (Group of Picture) と称される単位を利用して、このGOP毎に、フレーム落ちがないかを監視する機能を付加したものである。したがって、実際の再生処理では、第3実施例で行われる処理に変更を加える必要がある。

【0182】ステップ1801、502、503における処理は、第3実施例と同一の処理であるため重複して説明するのは避ける。ステップ1601において、再生AC係数の個数を計算して、該個数をカードに送信する。

【0183】ステップ504においてフレームレートの設定を希望するか否かを判断する。

【0184】希望する場合には、ステップ506にブランチし、希望しない場合には、ステップ3101にブランチする。

【0185】再生処理を開始して、GOP再生時間タイマによる処理時間の計測をスタートし、開始時刻を記憶しておく(ステップ3101)、フレームカウンタ3204をクリアし(ステップ3102)、GOPの終わりが否かを判定をする(ステップ3103)。

【0186】GOPの終わりでない場合には、データがフレームの先頭か否かを判定して(ステップ3104)、フレームの先頭の場合には、フレームカウンタ3204の値をインクリメントして(ステップ3105)、再生処理を行う(ステップ3106)。そして、再生が終了しているか否かを判定し、終了していなければ、ステップ3103まで処理を戻す(ステップ3107)。

【0187】また、ステップ3103において、GOPの終わりと判定される場合、GOP再生時間の計測を終了すべく、GOP再生時間タイマを停止させ、終了時刻を記録しておく(ステップ3108)、希望再生時間を計算する(ステップ3109)。希望再生時間は、フレームカウンタ3204の値を、希望フレームレート604の値で除した値である。

【0188】そして、再生時間が、希望再生時間より大きくなっているか否かを判断する。

【0189】ここで、再生時間とは、ステップ3108の終了時刻から、ステップ3101の開始時刻を減じた時間である。

【0190】そして、再生時間が、希望再生時間より大きくなっている場合(ステップ3110)、再生AC係数の個数を、デクリメントする(ステップ3111)。

【0191】図32は、本実施例のメモリマップである。第3の実施例と比較して、さらに、GOP再生タイマ(3201~3203)、フレームカウンタ(3204)、希望再生時間(3205)が、新たに設けられている。

【0192】図33は、本実施例での処理画像の出力例を示したものである。

【0193】テスト再生によって再生AC係数の個数を設定しているが、実際の再生時には、テスト再生より、処理負荷の大きな再生処理を行うことになってしまい、フレーム落ち(3302)が、発生してしまう場合がある。

【0194】本実施例では、1GOP(3303、3305)毎に、再生時間を測定して、フレーム落ち(3302)が発生した場合、再生AC係数の個数を変更して、動的に画質を変化して(3304)、フレーム落ち(3302)が発生しないように再生処理(3305)を行うように動作する。

【0195】次に、図34等の図面を参照して、第6実施例について説明する。

【0196】第4実施例と比較して、AC係数再生数変更エンジン3401を新たに設けて、AC係数フィルタ3402の内部構成を変更する。

【0197】このハードウェアにおける動作において、再生AC係数の個数を計算して、該個数をAC係数フィルタ3402へ設定するまでは、第4実施例と同一の動作である。動作の主たる相違点は、以下に示す点である。

【0198】再生処理が開始してから、AC係数再生数変更エンジン3401で再生能力をモニタしておき、再生フレームレートが、希望のフレームレートを満たさない場合(すなわち、図31、ステップ3110で「Y」の場合)、AC係数フィルタ3402へ、再生AC係数の個数を、「1」減らす旨の要求信号を送信する。

【0199】AC係数フィルタ3402は、この信号を受信して、再生AC係数の個数を「1」減らす処理を行う。また、再生時間に余裕があると判断した場合には、再生AC係数の個数を「1」増やして、可能な限りの高画質を保持するような構成にしておいても良い。

【0200】次に、図35に、AC係数再生数変更エンジンの構成図を示す。

【0201】GOP再生タイマ3501は、GOPスタート信号3502によってリセットされ、同時に、時間計測をスタートし、GOPエンド信号3550によって、時間計測をストップするという動作を行い、GOPの再生時間を測定している。

【0202】なお、GOPの再生時間は、GOPスター

ト信号3502をラッチ信号として、3503にラッチされる。この値は、信号線3507を介して、比較器3510に入力される。

【0203】また、フレームカウンタ3504は、GOPスタート信号3502によってリセットされ、フレームスタート信号3505によって、値がインクリメントされる。

【0204】GOPの再生処理が終了した時点で、除算器3508は、フレームカウンタ3504の値を、信号線3506を介して与えられる希望フレームレートで除算して、希望する再生時間を算出する。なお、除算は、GOPスタート信号3502をオン信号（オン信号が出力されている以外は、オフ信号が出力されているとする）として、このオン信号によって、スイッチ1505が作動し、除算器に、フレームカウンタの値が送られることにより行われる。

【0205】この値は、信号線3509を介して比較器に与えられる。この除算値とGOP再生タイマの値を比較器3510で比較して、GOP再生タイマの値が大きい場合、再生AC係数をデクリメントする信号3511を発信し、GOP再生タイマの値が小さい場合、再生AC係数をインクリメントする信号（3512）を発信する。

【0206】図36に、AC係数フィルタの構成図を示す。図15とはほぼ同一であるが、再生AC係数レジスタ3601が、インクリメント信号3511、デクリメント信号3512を受信したときに、それぞれ、レジスタの内容が、インクリメント、デクリメントされるように構成されている。

【0207】以上説明してきたように、本発明によれば以下のような効果を奏する。

【0208】第1、2実施例では、再生処理性能が異なるシステム上でも、こま落ちのない動画再生装置を実現できる。すなわち、システムの有する再生処理性能を示すパラメータを利用して、再生するAC係数の数を決定することが可能な動画再生装置を実現できる。

【0209】また、第3、4実施例では、予め用意しているテストデータを利用して、希望フレームレートで再生しても、こま落ちのない動画再生装置を、再生するAC係数の数を動的に変更することによって可能とする装置を提供できる。

【0210】さらに、第5、6実施例においても、GOP単位に、こま落ちのない動画再生を実現できる。

【0211】

【発明の効果】希望フレームレートで動画を再生しても、再生処理性能やテストデータを利用して、再生するAC係数の数を適宜変更することによって、こま落ちのない動画再生を行うことが可能な装置を提供できる。

【図面の簡単な説明】

【図1】第1実施例のハードウェアの構成図である。

【図2】入力装置の1例の構成図である。

【図3】動画再生画面例の説明図である。

【図4】フレームレート設定時の入力画面例の説明図である。

【図5】第1実施例における、CPUの処理フローチャートである。

【図6】第1実施例のメモリマップの説明図である。

【図7】第1実施例の再生AC係数の個数計算のフローチャートである。

【図8】第1実施例のVLCデータ変換処理のフローチャートである。

【図9】従来の出力画像の説明図である。

【図10】第1実施例での出力画像の説明図である。

【図11】第2実施例の構成図である。

【図12】第2実施例のカードの構成図である。

【図13】第2実施例のカードインタフェースの構成図である。

【図14】第2実施例のVLCデコーダの構成図である。

【図15】第2実施例のAC係数フィルタの構成図である。

【図16】第2実施例における、CPUの処理フローチャートである。

【図17】第2実施例のメモリマップの説明図である。

【図18】第3実施例における、CPUの処理フローチャートである。

【図19】第3実施例のメモリマップの説明図である。

【図20】第3実施例の再生処理性能測定処理フローチャートである。

【図21】第3実施例の再生AC係数の個数計算のフローチャートである。

【図22】第3実施例での出力例の説明図である。

【図23】第3実施例での出力例の説明図である。

【図24】第4実施例のカードの構成図である。

【図25】第4実施例のカードインタフェースの構成図である。

【図26】第4実施例のパフォーマンス測定エンジンの構成図である。

【図27】第4実施例の再生AC係数決定エンジンの構成図である。

【図28】第4実施例のVLCデコーダの構成図である。

【図29】第4実施例における、CPUの処理フローチャートである。

【図30】第4実施例のメモリマップの説明図である。

【図31】第5実施例における、CPUの処理フローチャートである。

【図32】第5実施例のメモリマップの説明図である。

【図33】第5実施例での出力例の説明図である。

【図34】第6実施例のカードの構成図である。

【図35】第6実施例の再生AC係数変更エンジンの構成図である。

【図36】第6実施例のAC係数フィルタの構成図である。

【図37】MPEGの処理フローの説明図である。

【図38】DCTおよび量子化の説明図である。

【図39】動き補償処理の説明図である。

【図40】MPEGのデコード処理フローの説明図である。

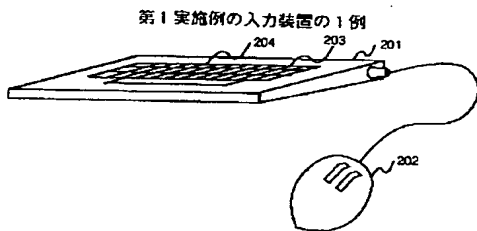
【符号の説明】

101…中央演算処理装置(CPU)、102…メモリ、103…大容量記憶装置、104…表示用メモリ(VRAM)、105…表示装置、106…入力装置、107…システムバス、201…キーボード、202…マウス、203…フレームレート決定モード選択ボタン、204…数値入力キー、301…動画再生ウィンドウ、302…動画再生スクリーン、303…メニューバー、304…フレームレート設定ボタン、401…フレームレート設定入力画面、402…フレームレート設定コントロールバー、404…カーソル、901…再生フレーム、902…フレーム落ち、903…再生フレーム、1101…カードインタフェース、1102…カード、1103…カードインタフェース、1104…動画処理エンジン、1105…カードバス、1201…VLCデコーダ、1202…動き補償エンジン、1203…逆量子化エンジン、1204…IDCTエンジン、1*

*205…バッファ、1206…AC係数フィルタ、1301…アドレスデコーダ、1302…データセクタ、1303…セレクト信号、1304…再生AC係数バッファ、1305…VLC転送バッファ、1306…画像データ送出バッファ、1401…VLC参照テーブル、1402…動きベクトルバッファ、1404…DC係数バッファ、1406…AC係数バッファ、1501…AC係数カウンタ、1502…再生AC係数レジスタ、1503…比較器、1505…スイッチ、2401…カードインタフェース、2402…再生処理性能測定エンジン、2403…AC係数決定エンジン、2404…VLCデコーダ、2501…テスト再生開始終了バッファ、2502…希望フレームレートバッファ、2604…DCTブロック数カウンタ、2605…AC係数個数カウンタ、2606…再生時間タイマ、2607…DCT演算時間タイマ、2611…除算器、2612…DCT演算時間レジスタ、2613…テストデータ再生時間レジスタ、2614…テストデータフレーム数レジスタ、2615…テストデータAC平均数レジスタ、2701…除算器、2702…減算器、2704…乗算器、3301…再生フレーム、3304…再生フレーム、3302…コマ落ち、3401…AC係数再生数変更エンジン、3402…AC係数フィルタ、3501…GOP再生タイマ、3508…除算器、3510…比較器、3511…デクリメント信号、3512…インクリメント信号、

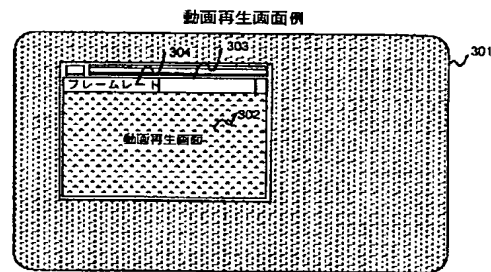
【図2】

図2



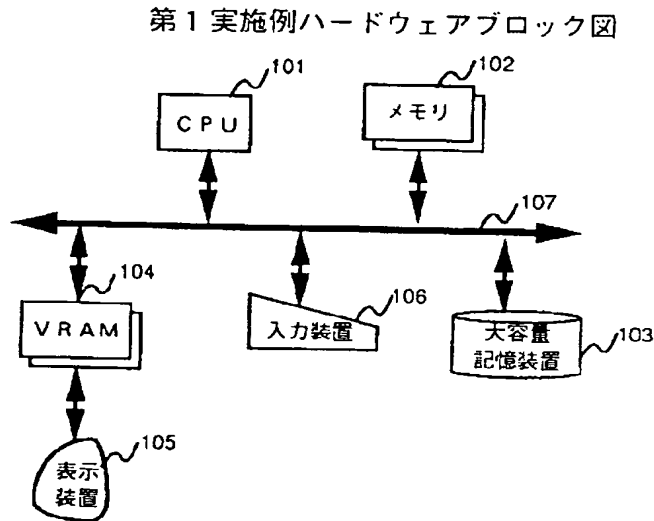
【図3】

図3



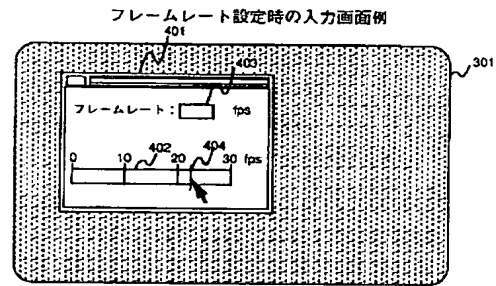
【図1】

図1



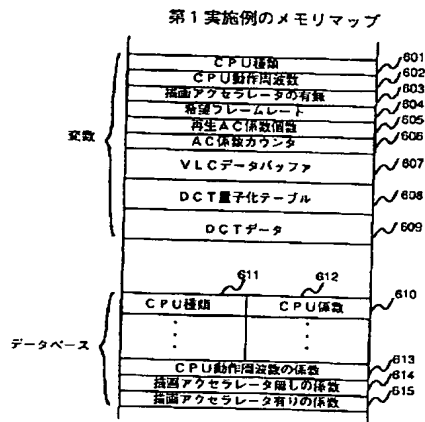
【図4】

図4



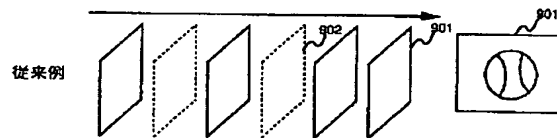
【図6】

図6



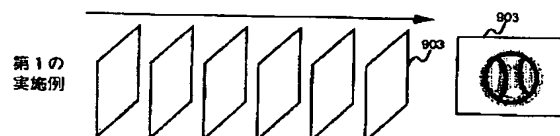
【図9】

図9



【図10】

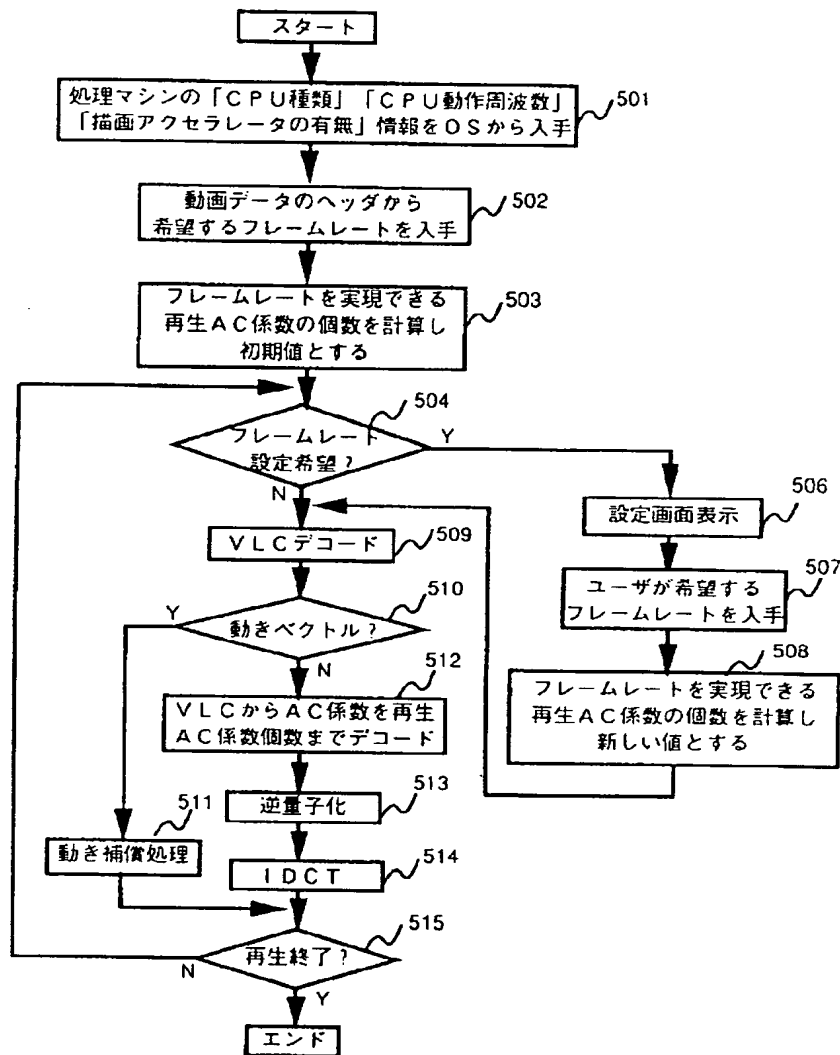
図10



【図5】

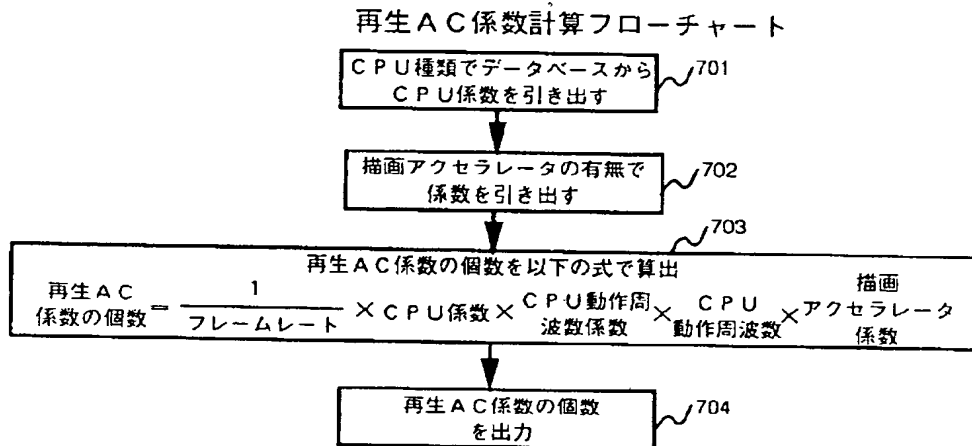
図5

第1実施例CPU内部処理フローチャート



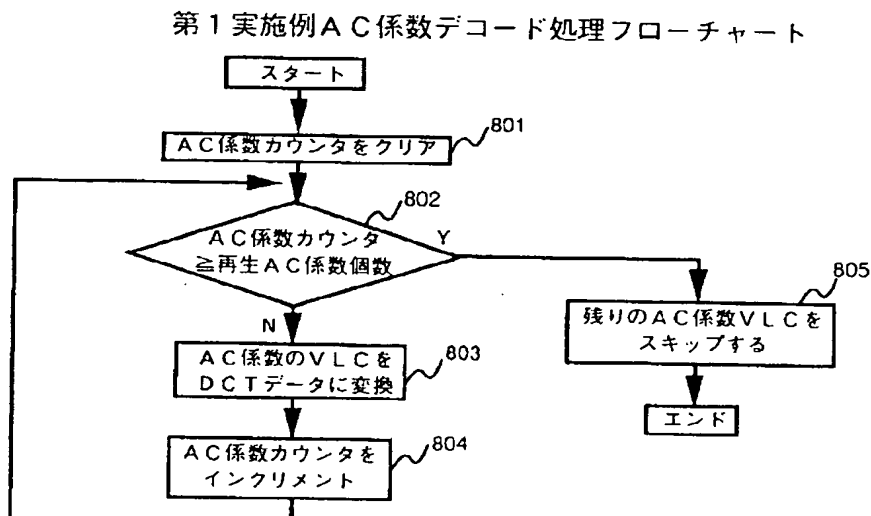
【図7】

図7



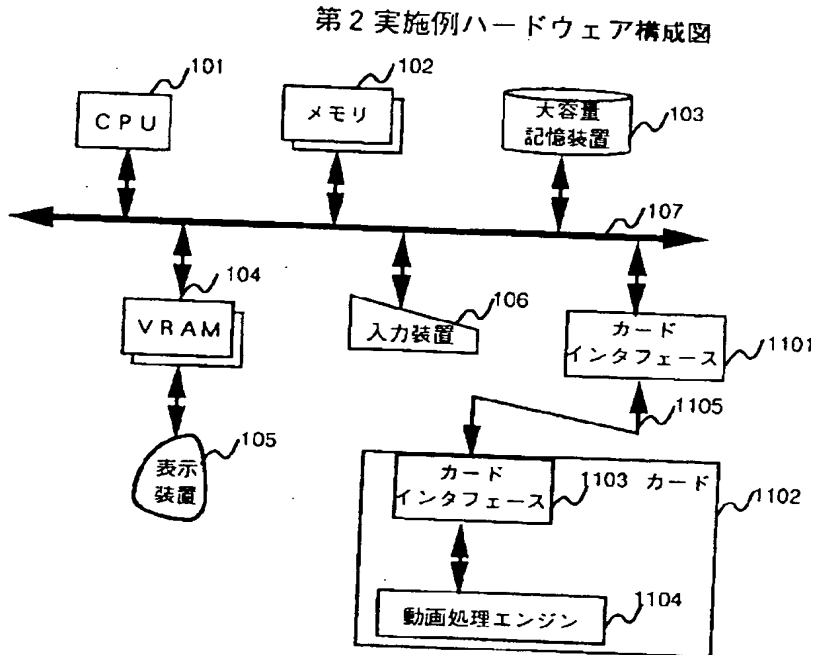
【図8】

図8



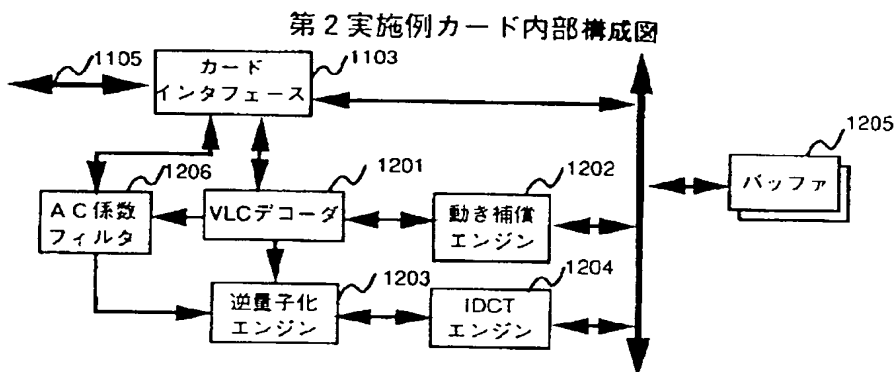
【図11】

図11



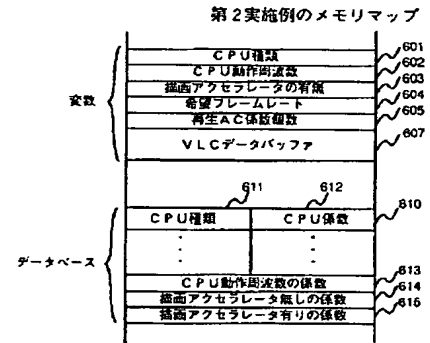
【図12】

図12



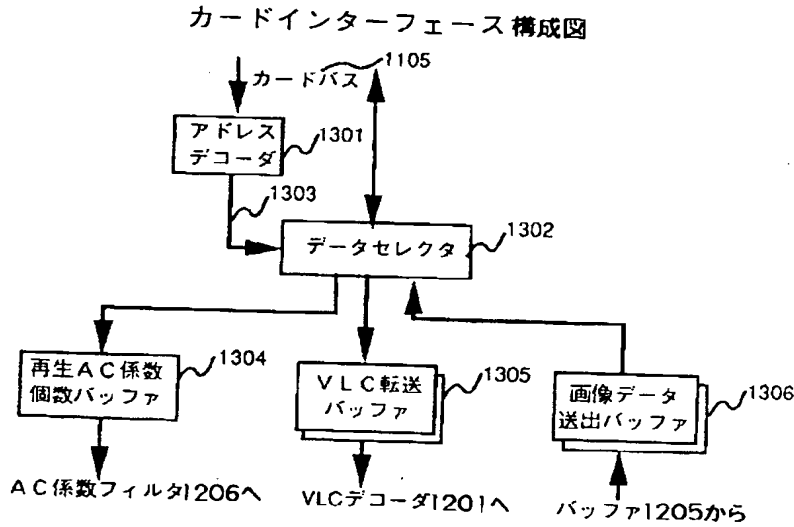
【図17】

図17



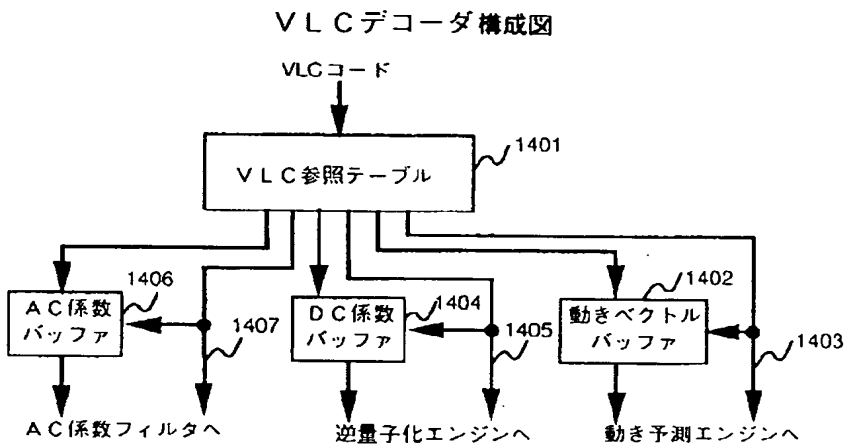
【図13】

図13



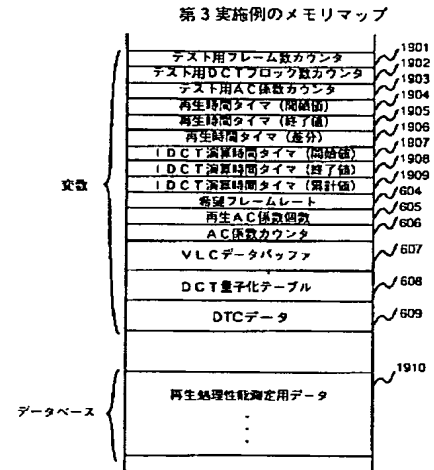
【図14】

図14



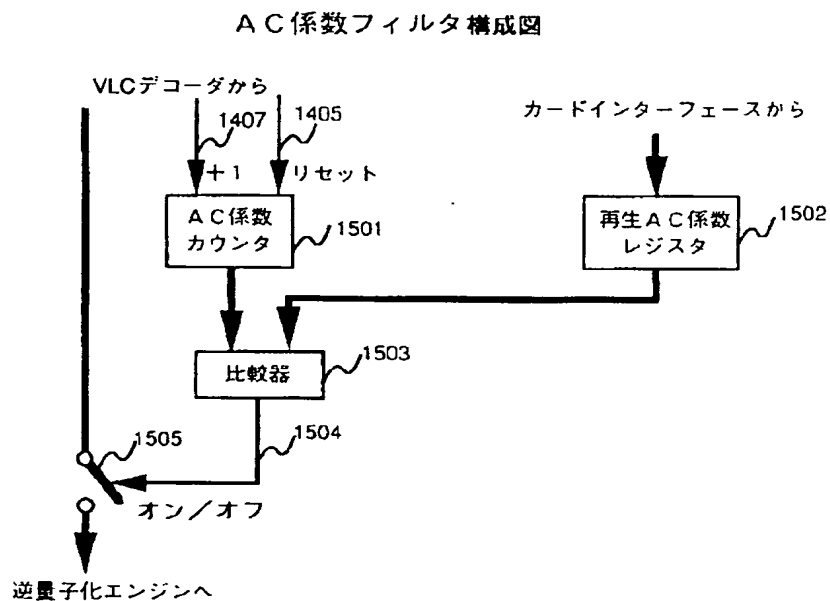
【図19】

図19



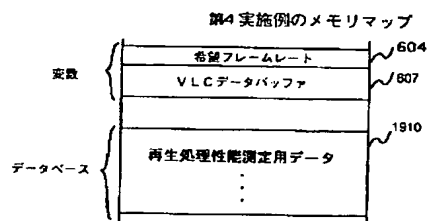
【図15】

図15



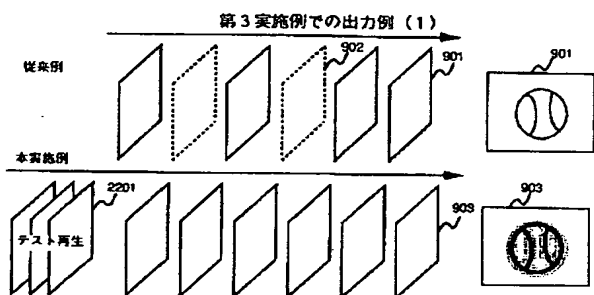
【図30】

図30



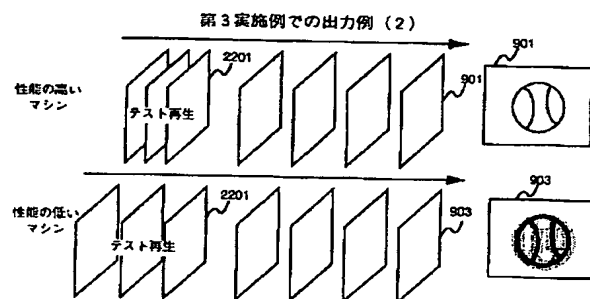
【図22】

図22



【図23】

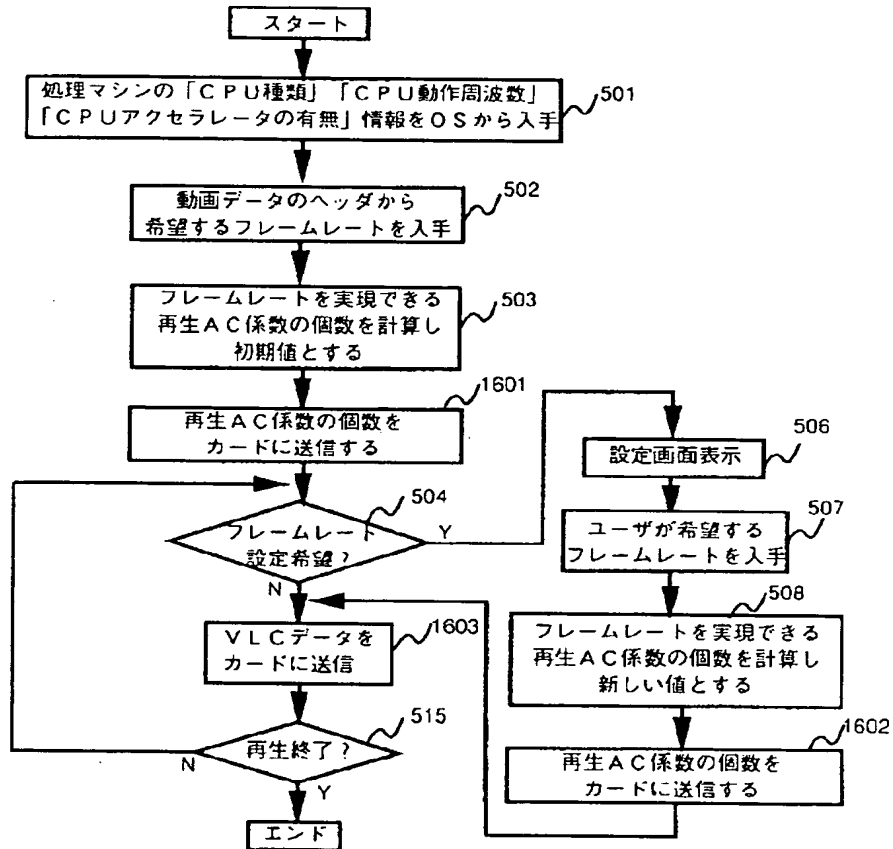
図23



【図16】

図16

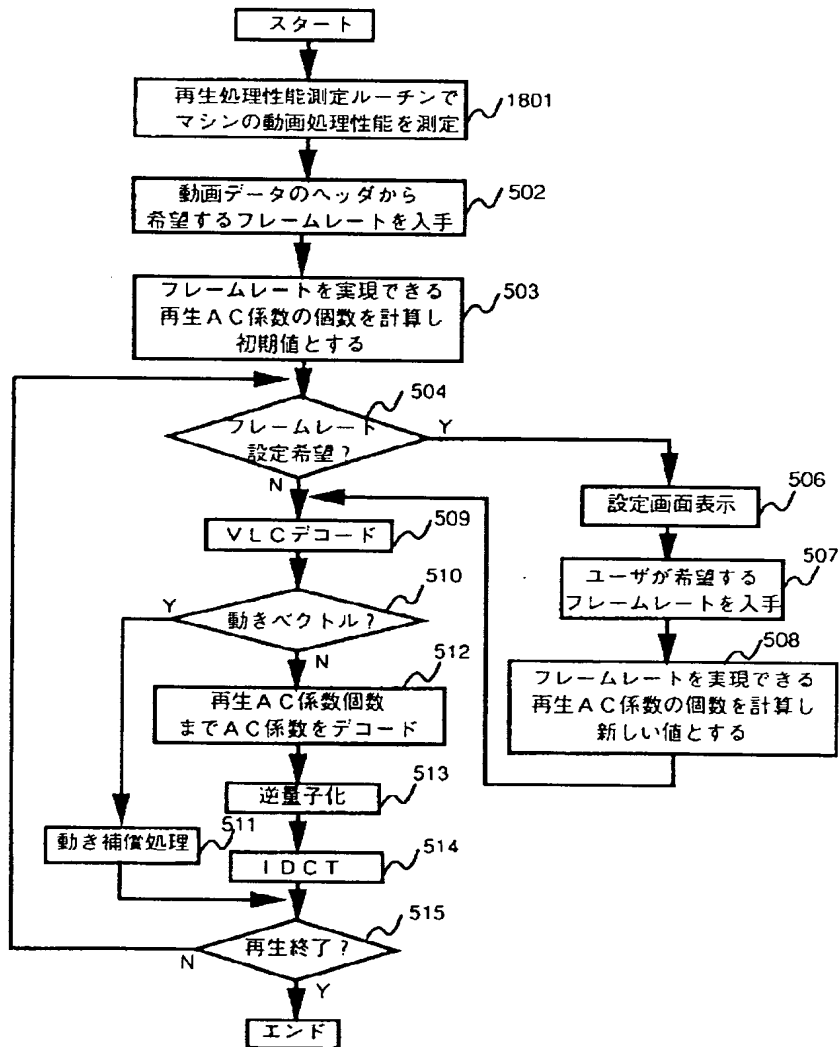
第2実施例CPU内部処理フローチャート



【図18】

図18

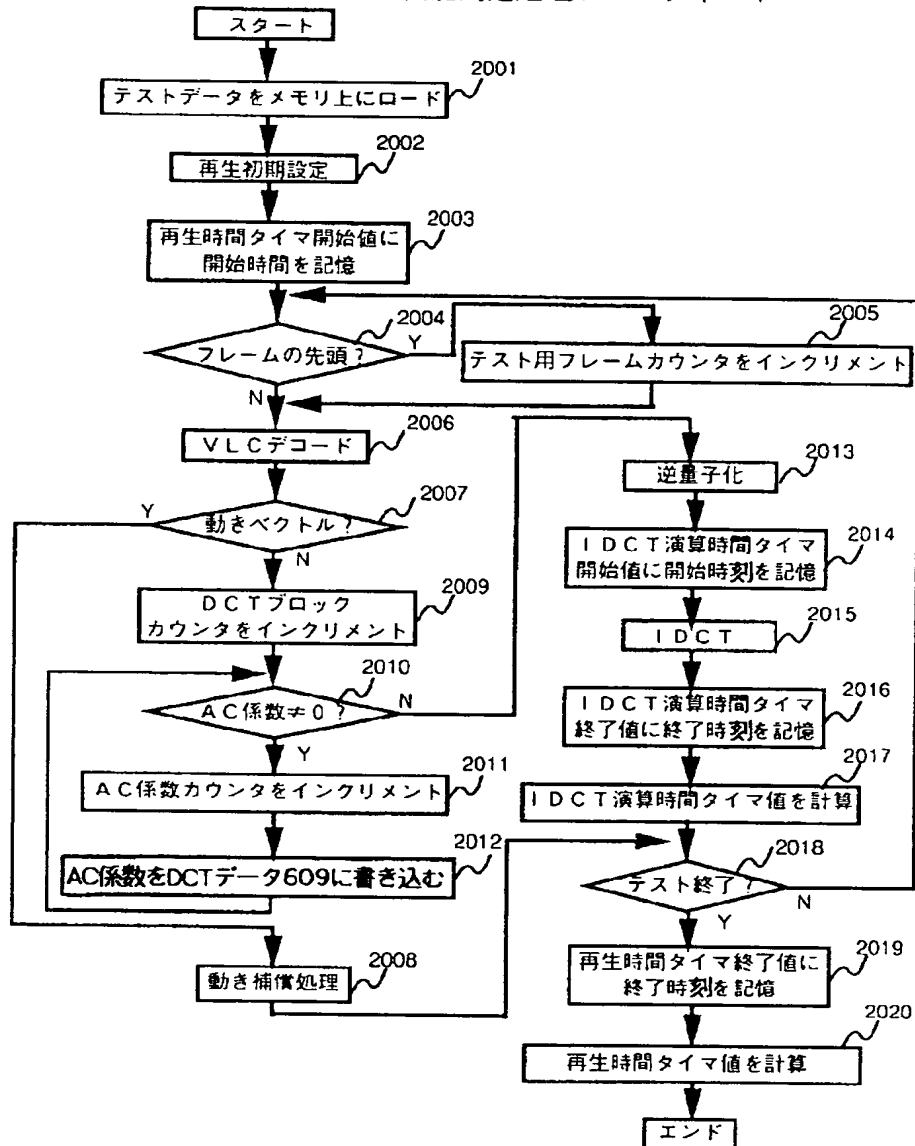
第3実施例CPU内部処理フローチャート



【図20】

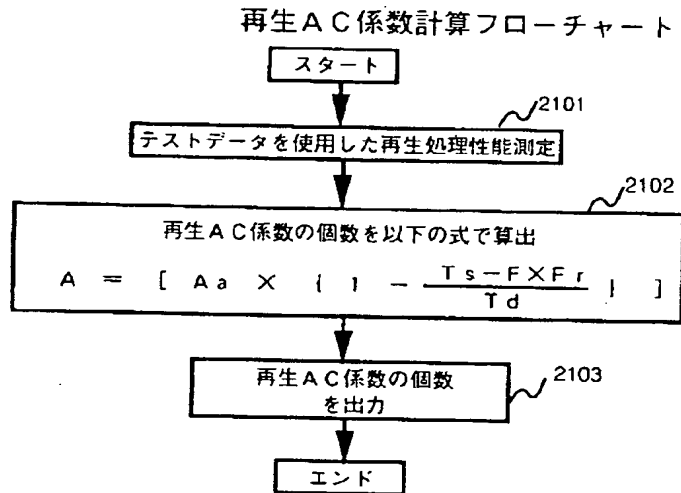
図20

第3実施例再生処理性能測定処理フローチャート



【図21】

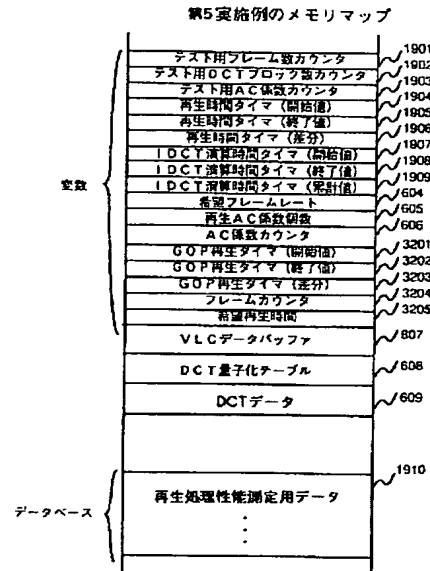
図21



ただし、
 A : AC係数再生数個数
 Aa : テストデータAC係数平均数
 Ts : テストデータ再生時間
 F : テストデータのフレーム数
 Fr : 希望するフレームレート
 Td : テストデータIDCT再生時間
 {} : ガウス記号(記号内の値を越えない最大の整数)

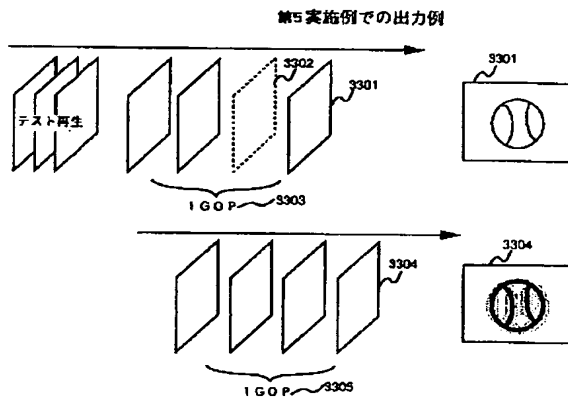
【図32】

図32



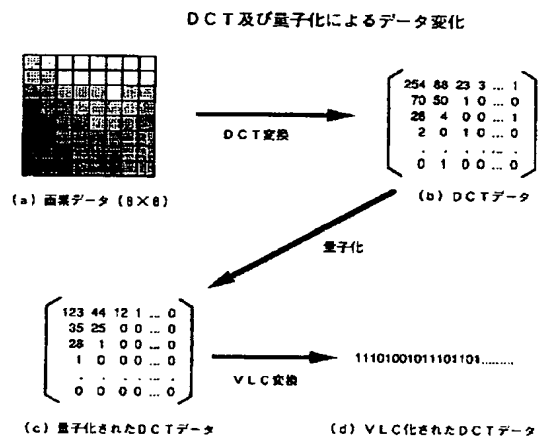
【図33】

図33



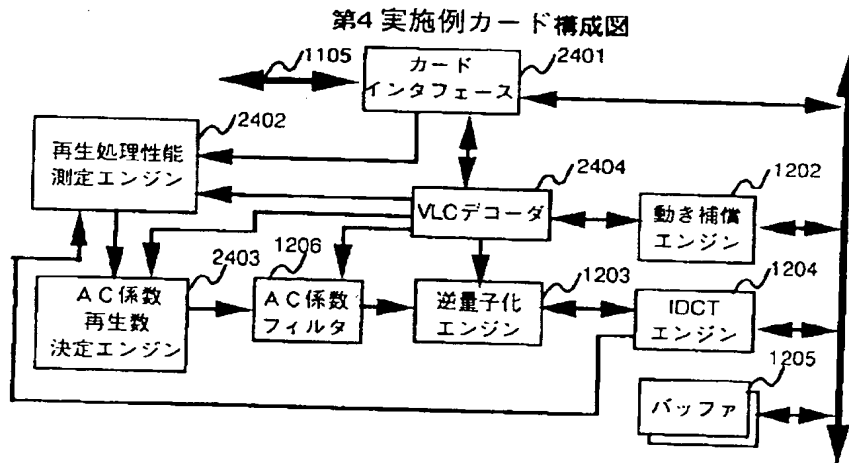
【図38】

図38



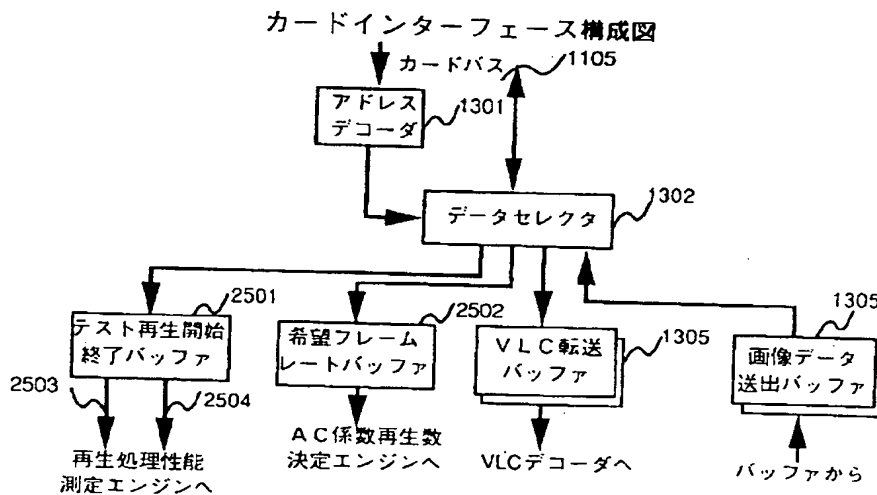
【図24】

図24



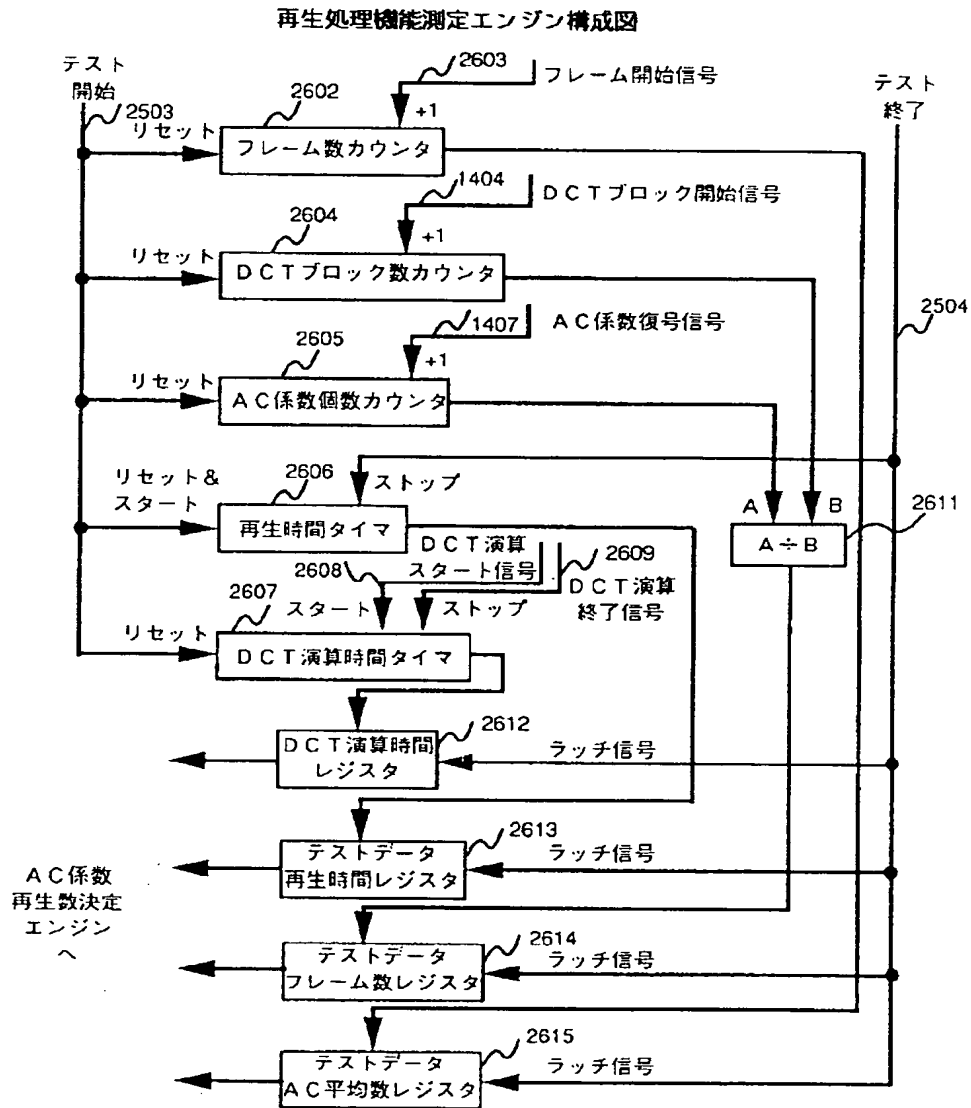
【図25】

図25



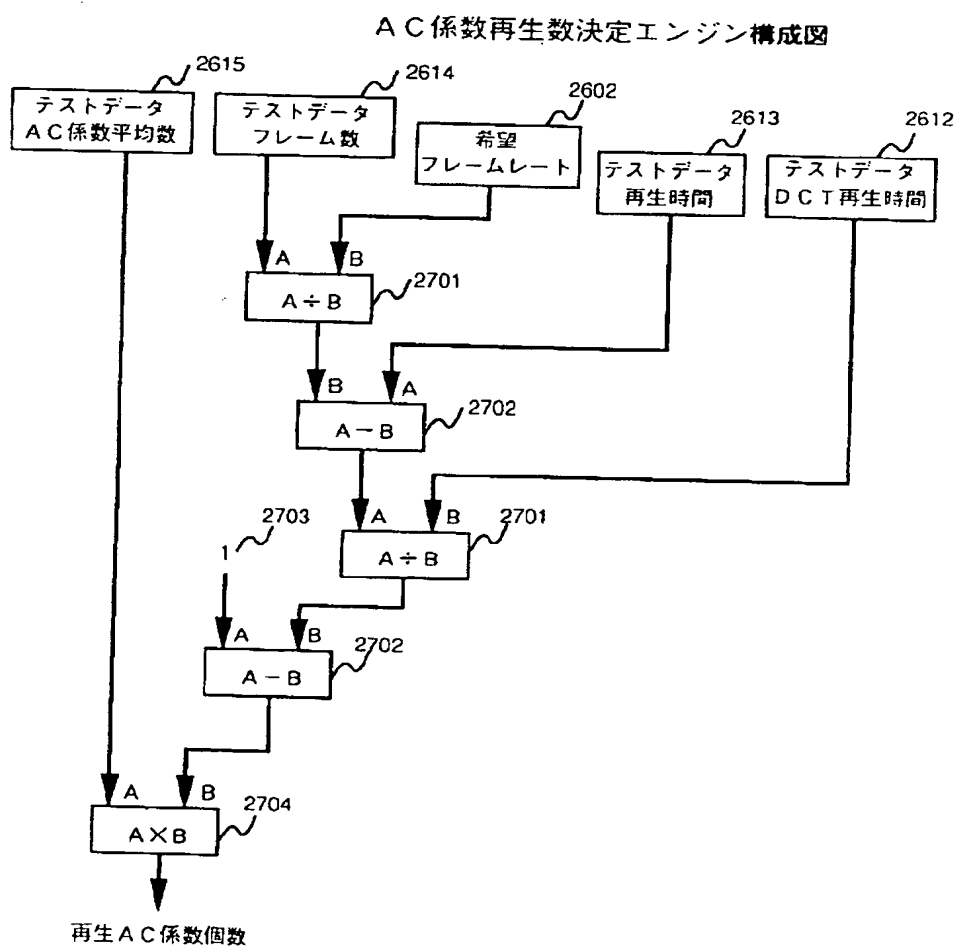
【図26】

図26



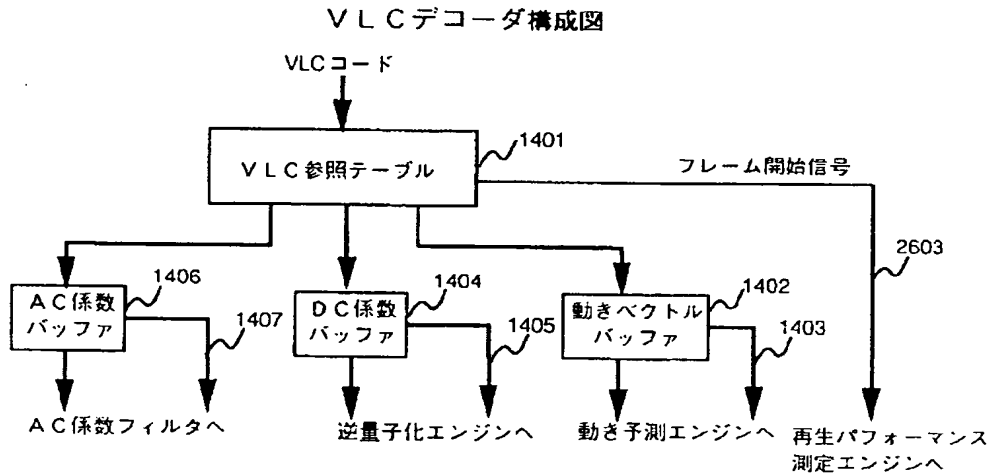
【図 27】

図27



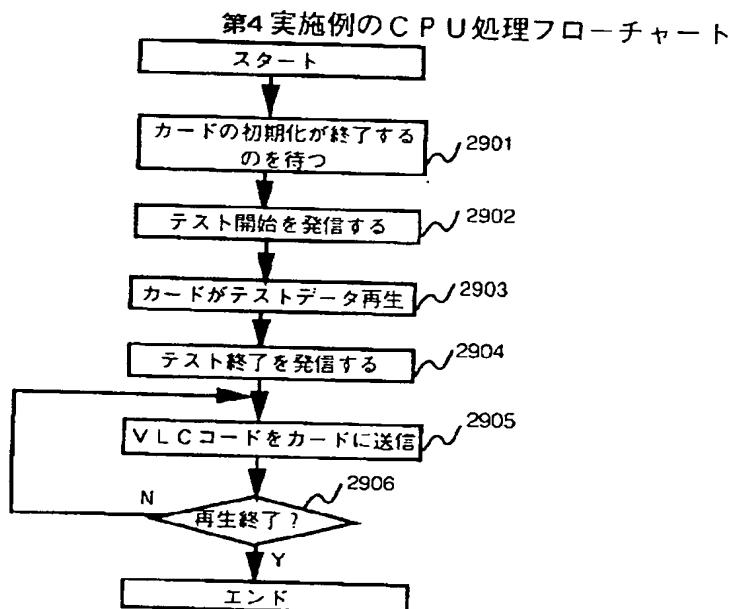
【図28】

図28



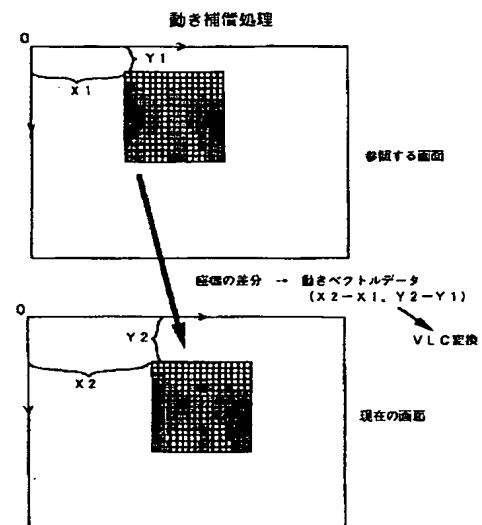
【図29】

図29



【図39】

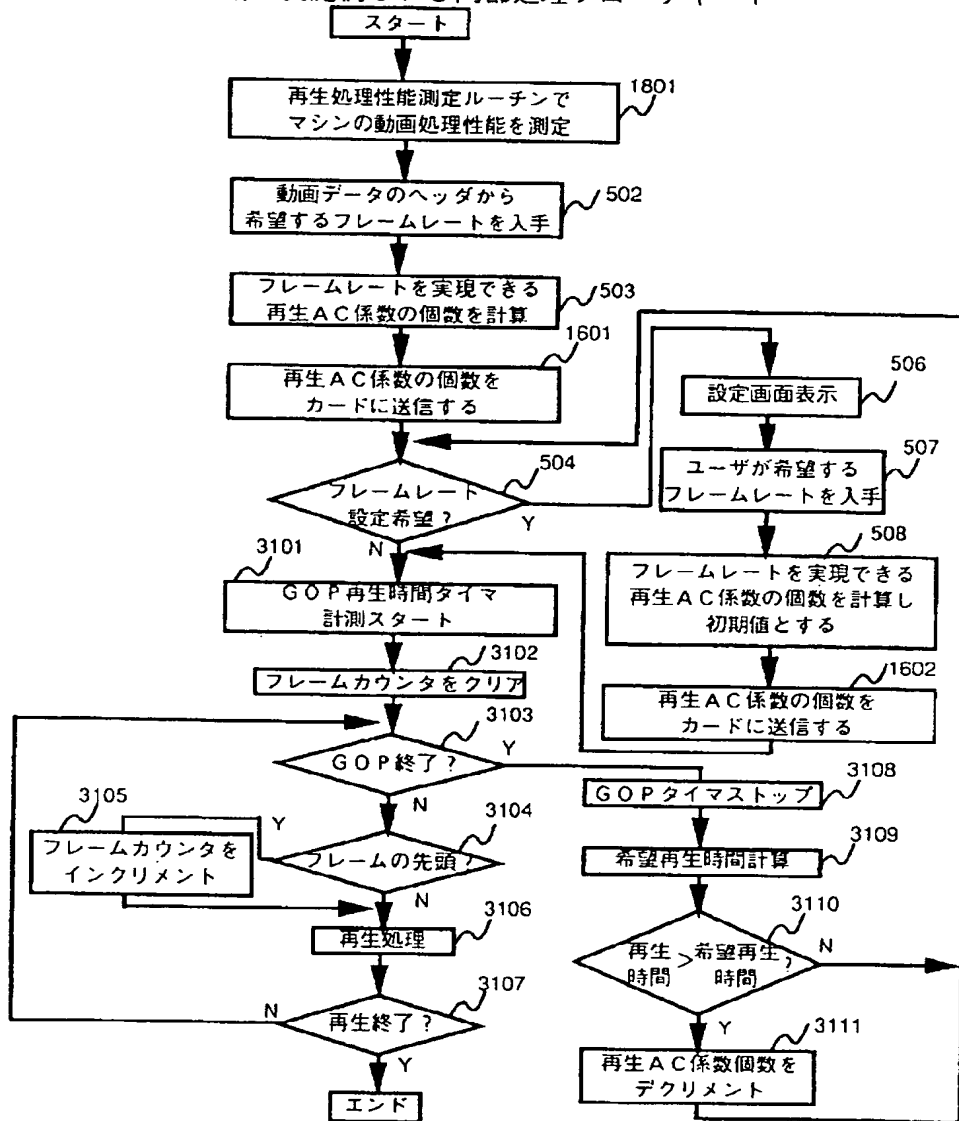
図39



【図31】

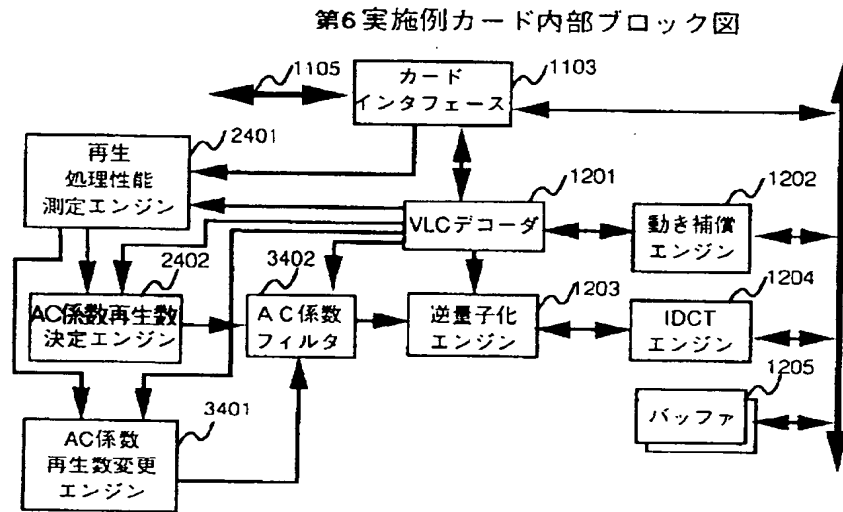
図31

第5 実施例CPU内部処理フローチャート



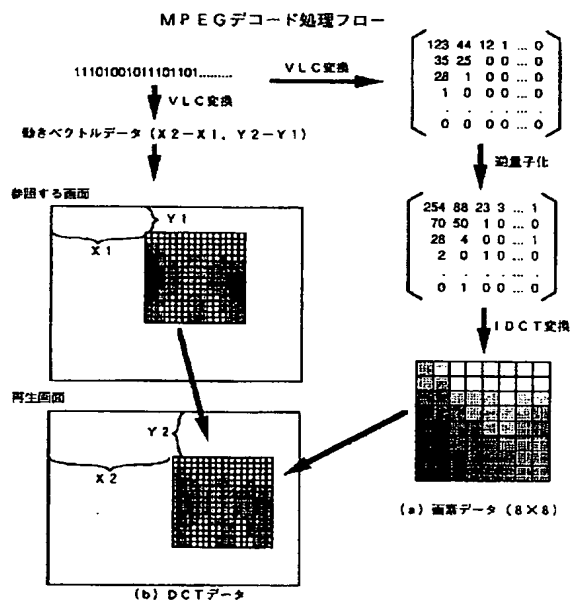
【図34】

図34



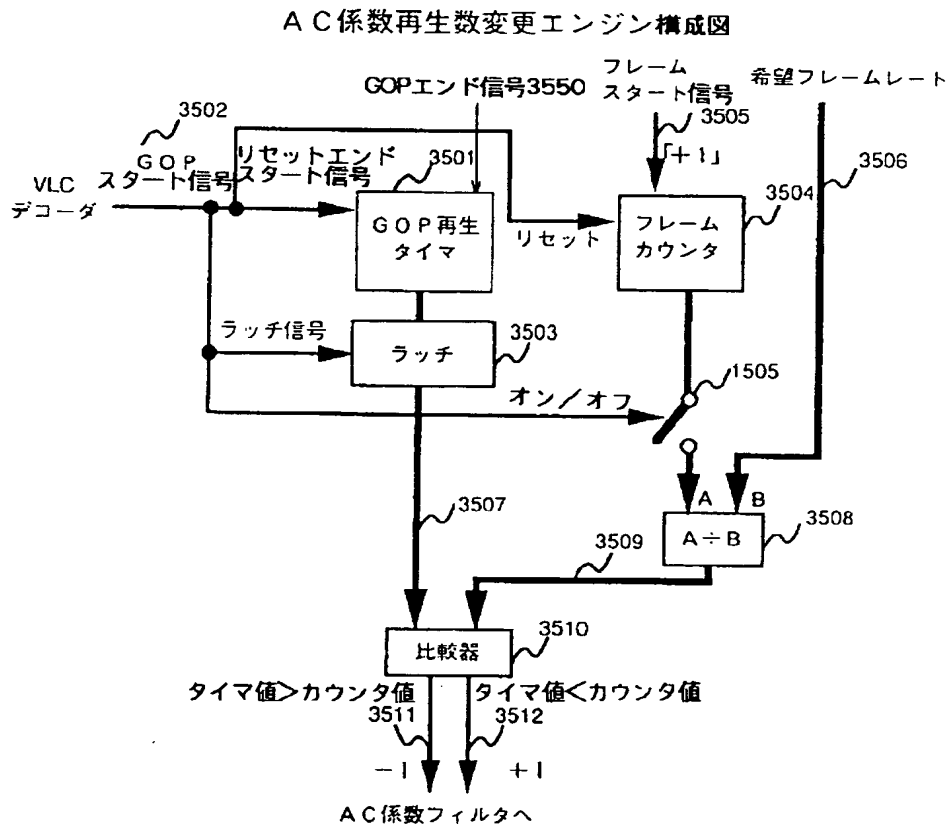
【図40】

図40



【図35】

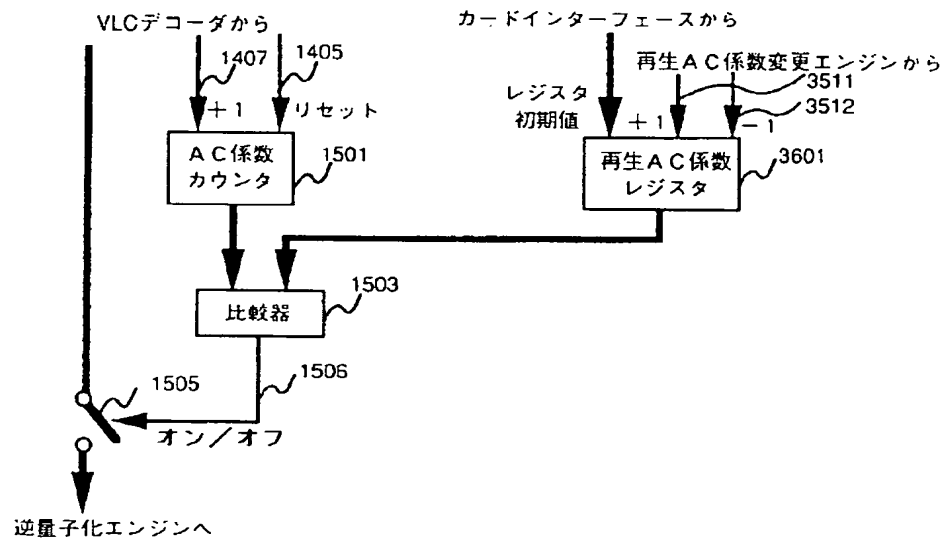
図35



【図36】

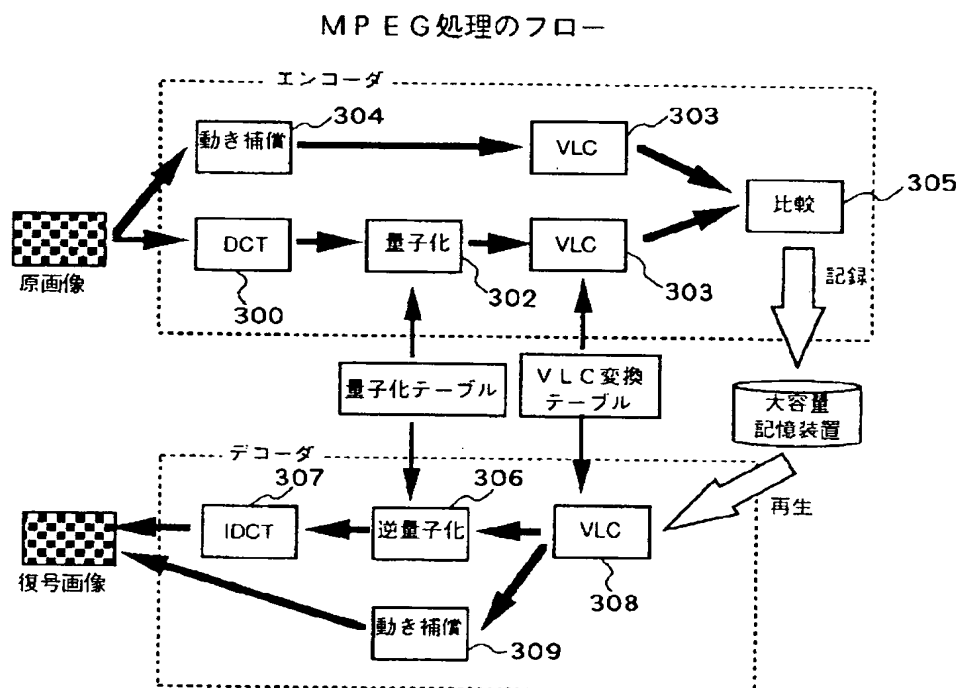
図36

A C 係数フィルタ構成図



【図37】

図37



フロントページの続き

(51)Int.Cl.⁶
H03M 7/40

識別記号

片内整理番号
9382-5K

F I

技術表示箇所